

## 修士論文

# ATLAS 実験における FTK 受信モジュール 最終設計・製作・検証及びシステム統合試験

早稲田大学大学院 先進理工学研究科  
物理学及応用物理学先攻  
寄田浩平研究室 修士 2 年 郡川 智洋

2014 年 2 月 7 日

## 概要

ATLAS 実験はスイス・フランス国境に位置する欧州原子核研究機構（CERN）で行われている実験で、大型ハドロン衝突型加速器（LHC）を用いて加速させた陽子どうしを衝突させ、その際に発生する粒子の中から新粒子・新現象を探索する。2012 年には CMS 実験とともに、素粒子物理学において長い間未発見であったヒッグス粒子を発見し、P. ヒッグス氏らの 2013 年度ノーベル物理学賞受賞につながった。今後は電弱対称性の破れの精密検証、さらには超対称性理論など標準理論を超える物理の探索が必要になる。

今後のさらなる物理探索に向けて、衝突させる陽子のエネルギーやそのビーム輝度を向上させるべく LHC は増強される。

ビーム輝度が引き上げられることにより、1 事象中に衝突する陽子の個数（パイルアップ）が増加し、それにより発生する粒子の数も増加する。このような高輝度環境下でも安定的なデータ取得を実現し、物理探索感度を向上させるために飛跡処理専門のハードウェアである FTK を挿入する。

本研究では、FTK 運用時に用いる FTK 受信モジュールの最終版設計・製作し、ATCA 規格のマザーボードを含めた実機動作検証及び CERN において実際の検出器情報を受信モジュールの入力とした場合のシステム統合試験を行った。マザーボードとの実機検証では、FMC コネクタを介した LVDS によるソース同期 200 MHz DDR のパラレルバスを用いた伝送線路の評価を行い、 $10^{16}$  ビット転送後も誤りがないことを確認し、ATLAS 側からの要請を満たすことができた。また、I<sup>2</sup>C バスによるマザーボードから受信モジュールへのアクセスも行うことができた。さらには、CERN でのシステム統合試験の前段階として、早稲田大学において擬似ヒット送信モジュール（QUEST）からのヒット情報を入力として QUEST → 受信モジュール → マザーボードの機能やデータフローをシミュレーションと比較して、その動作に問題がないことを確認した。

CERN におけるシステム統合試験では、実際のシリコン飛跡検出器の読み出しモジュール ROD からのヒット情報を受信モジュールの入力として、ROD - 受信モジュール - マザーボード - ROS のデータフローが 4 kHz のトリガーレートで問題なく動作することを確認した。

本研究によって、FTK 受信モジュール最終版を設計・製作して、実際に運用予定のプロトコルを想定して、マザーボードや検出器を含めた実機動作検証を行い、FTK 受信モジュールの開発を一通り終え、今後の量産・品質管理の基盤を確立した。

## 目次

|          |                                           |           |
|----------|-------------------------------------------|-----------|
| <b>1</b> | <b>序論</b>                                 | <b>7</b>  |
| 1.1      | 素粒子物理学 . . . . .                          | 7         |
| 1.2      | 素粒子標準模型 . . . . .                         | 8         |
| 1.3      | ゲージ理論とヒッグス機構 . . . . .                    | 9         |
| <b>2</b> | <b>LHC/ATLAS 実験</b>                       | <b>16</b> |
| 2.1      | LHC 加速器 . . . . .                         | 16        |
| 2.2      | ATLAS 検出器 . . . . .                       | 17        |
| 2.2.1    | 検出器座標系 . . . . .                          | 17        |
| 2.2.2    | 内部飛跡検出器 . . . . .                         | 19        |
| 2.2.3    | カロリメータ . . . . .                          | 25        |
| 2.2.4    | $\mu$ 粒子検出器 . . . . .                     | 27        |
| 2.3      | トリガーシステム . . . . .                        | 29        |
| 2.4      | 増強計画 . . . . .                            | 31        |
| <b>3</b> | <b>高速飛跡トリガーシステム (Fast TrackKer : FTK)</b> | <b>33</b> |
| 3.1      | FTK 導入の目的 . . . . .                       | 33        |
| 3.2      | FTK の物理への効果 . . . . .                     | 33        |
| 3.3      | FTK 全体像 . . . . .                         | 36        |
| 3.4      | FTK の動作原理 . . . . .                       | 37        |
| 3.5      | FTK ハードウェア . . . . .                      | 37        |
| 3.5.1    | Dual Output HOLA . . . . .                | 37        |
| 3.5.2    | FTK Input Mezzanine . . . . .             | 40        |
| 3.5.3    | Data Formatter . . . . .                  | 41        |
| 3.5.4    | AUX card . . . . .                        | 43        |
| 3.5.5    | Associative Memory . . . . .              | 45        |
| 3.5.6    | Second Stage Board . . . . .              | 47        |
| 3.5.7    | FTK to Level 2 Crate (FLIC) . . . . .     | 47        |
| <b>4</b> | <b>エレクトロニクスの基礎</b>                        | <b>50</b> |

---

|       |                                                   |    |
|-------|---------------------------------------------------|----|
| 4.1   | 信号伝送 . . . . .                                    | 50 |
| 4.2   | シングルエンド伝送と差動伝送 . . . . .                          | 51 |
| 4.3   | SDR と DDR . . . . .                               | 53 |
| 4.4   | シリアル接続とパラレル接続 . . . . .                           | 54 |
| 4.5   | ソース同期とシステム同期 . . . . .                            | 54 |
| 4.6   | FPGA . . . . .                                    | 56 |
| 4.6.1 | FPGA の構造と原理 . . . . .                             | 56 |
| 4.6.2 | ファームウェア . . . . .                                 | 58 |
| 4.6.3 | タイミング制約 . . . . .                                 | 59 |
| 5     | Input Mezzanine <b>ボード最終版の設計製作と動作検証</b> . . . . . | 60 |
| 5.1   | Input Mezzanine への要求 . . . . .                    | 60 |
| 5.2   | マザーボードとの接続 . . . . .                              | 61 |
| 5.3   | PCB 設計 . . . . .                                  | 64 |
| 5.4   | テストスタンド . . . . .                                 | 70 |
| 5.5   | 早稲田での実機検証 . . . . .                               | 72 |
| 5.5.1 | 初期テスト . . . . .                                   | 72 |
| 5.5.2 | 機能試験 . . . . .                                    | 73 |
| 5.5.3 | 性能評価・耐久試験 . . . . .                               | 74 |
| 5.6   | CERN でのシステム統合試験 . . . . .                         | 76 |
| 6     | <b>まとめと展望</b> . . . . .                           | 79 |
| 7     | <b>謝辞</b> . . . . .                               | 80 |
| 付録 A  | <b>I<sup>2</sup>C バスのプロトコル</b> . . . . .          | 82 |



## 表目次

|     |                                           |    |
|-----|-------------------------------------------|----|
| 1.1 | 物質の構成粒子 . . . . .                         | 8  |
| 1.2 | 標準理論で扱われる力の媒介粒子 . . . . .                 | 8  |
| 2.1 | Pixel 検出器のパラメータ [5] . . . . .             | 21 |
| 2.2 | $\mu$ 粒子検出器の主要パラメータ [5] . . . . .         | 28 |
| 2.3 | $\mu$ 粒子検出器の測定パラメータ [5] . . . . .         | 28 |
| 5.1 | シリコン飛跡検出器の ROD 数と接続される光ファイバーの本数 . . . . . | 60 |

## 図目次

|      |                                                                                                                       |    |
|------|-----------------------------------------------------------------------------------------------------------------------|----|
| 1.1  | ポテンシャルエネルギー密度 $V(\phi) = \mu^2 \phi ^2 + \lambda \phi ^4$ . 左は $\mu^2 > 0$ の場合, 右は $\mu^2 < 0$ の場合で自発的対称性の破れが起こる. [3] | 13 |
| 2.1  | LHC 全体像 [18]                                                                                                          | 16 |
| 2.2  | LHC accelerator complex[20]                                                                                           | 17 |
| 2.3  | ATLAS 検出器 [5]                                                                                                         | 18 |
| 2.4  | ATLAS 検出器座標系 [21]                                                                                                     | 18 |
| 2.5  | ATLAS 内部飛跡検出器の横方向断面図 [5]                                                                                              | 20 |
| 2.6  | ATLAS 内部飛跡検出器のビーム方向断面図 [5]                                                                                            | 21 |
| 2.7  | Pixel 検出器モジュールの模式図 [5]                                                                                                | 22 |
| 2.8  | Pixel 検出器の読み出し ASIC 模式図 [5]                                                                                           | 23 |
| 2.9  | SCT 検出器モジュール [5]                                                                                                      | 24 |
| 2.10 | SCT 検出器読み出し用フロントエンド ASIC 模式図 [5]                                                                                      | 25 |
| 2.11 | ATLAS のカロリメータ全体像 [5]                                                                                                  | 26 |
| 2.12 | $\mu$ 粒子検出器の配置 [5]                                                                                                    | 29 |
| 2.13 | ATLAS のトリガーシステムとデータフロー [22]                                                                                           | 30 |
| 3.1  | FTK による飛跡情報とオフラインの分解能の比較 [6]                                                                                          | 34 |
| 3.2  | 衝突点の個数と FTK の飛跡再構成効率 [6]                                                                                              | 35 |
| 3.3  | FTK 飛跡情報を用いたオフラインアルゴリズムによる衝突点再構成 [6]                                                                                  | 35 |
| 3.4  | FTK の全体像 [6]                                                                                                          | 36 |
| 3.5  | FTK のパターン認識のイメージ [10]                                                                                                 | 38 |
| 3.6  | HOLA[9]                                                                                                               | 38 |
| 3.7  | Dual Output HOLA[6]                                                                                                   | 39 |
| 3.8  | Dual Output HOLA のブロック図 [6]                                                                                           | 39 |
| 3.9  | FTK Input Mezzanine ボード部品面                                                                                            | 40 |
| 3.10 | FTK Input Mezzanine ボード裏面                                                                                             | 40 |
| 3.11 | Input Mezzanine で行うヒットのクラスター化アルゴリズム                                                                                   | 41 |
| 3.12 | Data Formatter と Input Mezzanine                                                                                      | 42 |
| 3.13 | シリコン飛跡検出器を FTK 用の領域に区切った場合 [6]                                                                                        | 43 |
| 3.14 | Data Formatter のブロックダイアグラム [6]                                                                                        | 44 |
| 3.15 | AUX ボードのブロックダイアグラム [6]                                                                                                | 45 |

|      |                                                                |    |
|------|----------------------------------------------------------------|----|
| 3.16 | AM ボードのレイアウト [6]                                               | 46 |
| 3.17 | LAMB のレイアウト [6]                                                | 46 |
| 3.18 | AM chip の機能 [6]                                                | 46 |
| 3.19 | Second Stage Board の機能 [6]                                     | 47 |
| 3.20 | FLIC のブロックダイアグラム [6]                                           | 48 |
| 3.21 | FLIC ボード外観 [6]                                                 | 48 |
| 4.1  | シングルエンド伝送 [19]                                                 | 51 |
| 4.2  | 差動伝送 [19]                                                      | 52 |
| 4.3  | 差動伝送の受信部と送信部 [12]                                              | 52 |
| 4.4  | SDR (Single Data Rate) による信号伝送 [14]                            | 53 |
| 4.5  | DDR (Double Data Rate) による信号伝送 [14]                            | 53 |
| 4.6  | システム同期によるデータの送受信 [13]                                          | 55 |
| 4.7  | ソース同期によるデータの送受信 [13]                                           | 55 |
| 4.8  | Spartan6 FPGA のバンク構造 [15]                                      | 57 |
| 4.9  | Spratan6 FPGA のピンとその機能 [15]                                    | 58 |
| 5.1  | FMC コネクタ (図は LPC) [17]                                         | 61 |
| 5.2  | FMC コネクタ (HPC) のピン割り当て表 [16]                                   | 62 |
| 5.3  | FMC コネクタ (LPC) のピン割り当て表 [16]                                   | 62 |
| 5.4  | I <sup>2</sup> C バス [11]                                       | 64 |
| 5.5  | Input Mezzanine の主要部品の配置                                       | 65 |
| 5.6  | シミュレーションによるインピーダンスの調整                                          | 67 |
| 5.7  | 上側の FPGA - FMC コネクタ間のラッツネット (ピン入れ替え前)                          | 68 |
| 5.8  | 上側の FPGA - FMC コネクタ間のラッツネット (ピン入れ替え後)                          | 69 |
| 5.9  | Input Mezzanine 配置・配線終了後のアートワーク                                | 69 |
| 5.10 | Input Mezzanine に搭載されている部品                                     | 70 |
| 5.11 | Xilinx 社 KC705 評価ボード [16]                                      | 71 |
| 5.12 | 早稲田大学における QUEST - Input Mezzanine - Data Formatter の<br>セットアップ | 75 |
| 5.13 | CERN SR1 におけるテストのセットアップ                                        | 78 |
| A.1  | I <sup>2</sup> C バスにおけるデータビットの転送 [11]                          | 82 |
| A.2  | I <sup>2</sup> C バスにおける START/STOP condition[11]               | 83 |
| A.3  | I <sup>2</sup> C バスにおけるデータ通信 [11]                              | 83 |
| A.4  | I <sup>2</sup> C バスにおける通信の流れ [11]                              | 84 |

---

|     |                                                           |    |
|-----|-----------------------------------------------------------|----|
| A.5 | I <sup>2</sup> C バスにおける 7 ビットアドレスと Read/Write ビットの構成 [11] | 85 |
|-----|-----------------------------------------------------------|----|

# 1 序論

## 1.1 素粒子物理学

素粒子物理学とは、我々をとりまくあらゆる物質について、その最小単位やそれらの間にはどのような相互作用が働くのかを探る学問である。

古代から物質を構成する最小単位について様々な議論がなされ、理論と実験の発展の歴史の中でより小さな世界における理解を確立してきた。したがって、物質の最小単位を意味する「素粒子」という言葉は時代によってそれが指す存在は異なり、原子や分子、陽子や中性子が素粒子であると思われていた時期もあった。

しかし、20 世紀に入り量子力学や場の量子論の発展と成功によりそれまでよくわからなかったより小さな世界（＝より高エネルギーな世界）について、理論的な説明ができるようになったこと、一方では、加速器や検出器の進歩により GeV や TeV といった非常に高エネルギーの領域での物理学を探索できるようになったことによって、現在のところの「素粒子」とそれらの間の相互作用は“素粒子標準模型 (Standard Model)”としてまとめられ、多くの現象を高い精度で説明する。

標準模型の中では、物質を構成する粒子であるクォークとレプトン、それらの間に働く相互作用（力）を媒介するゲージボゾン、さらには、電磁気力と弱い相互作用の間の対称性の破れを引き起こし粒子に質量を与えると考えられているヒッグスボゾンがある。

この中で、ヒッグスボゾンのみがその理論的な予言から 50 年間ほど長いこと未発見であったが、ついに 2012 年 7 月にヒッグスボゾンとみられる新粒子の存在が、LHC/ATLAS, CMS の両実験で確実となり、翌 2013 年 3 月には正式にヒッグスボゾンが発見されたと発表された。また、これを受けて電磁気力と弱い相互作用の間の自発的対称性の破れ、及びそれを引き起こすヒッグスボゾンの存在を理論的に予言したことに大して、P.Higgs 氏と F.Anglais 氏が 2013 年のノーベル物理学賞を受賞した。

これによって、素粒子標準模型に登場するすべての素粒子の存在が実験的に確かめられたことになる。この事実、標準模型をジグソーパズルに例えるなら、その最後の 1 ピースが埋められたことと同じであると言われることがある。しかし、素粒子物理学はこれで終わりではない。ヒッグスボゾンの周辺にはまだ確かめるべきことは多く、また、標準模型では説明のつかない (Beyond the Standard Model) 現象もある。我々がまだ到達していないエネルギー領域に新粒子の存在する可能性はあるし、重力を含めた 4 つの相互作用がどのようにして分かれて、また我々はどのようにしてできたのか、宇宙創世に関わる謎

に迫るべく理論的にも実験的にも探っていくべきことは多い。

## 1.2 素粒子標準模型

現在の素粒子標準模型に登場する粒子は、図に示すものである。このうち、物質の構成粒子であるクォークとレプトンは表 1.1 に示すような性質を持っている。

表 1.1 物質の構成粒子

| 名称   | スピン           | 電荷             | 第 1 世代  | 第 2 世代    | 第 3 世代     |
|------|---------------|----------------|---------|-----------|------------|
| クォーク | $\frac{1}{2}$ | $\frac{2}{3}$  | u       | c         | t          |
|      | $\frac{1}{2}$ | $-\frac{1}{3}$ | d       | s         | b          |
| レプトン | $\frac{1}{2}$ | 0              | $\nu_e$ | $\nu_\mu$ | $\nu_\tau$ |
|      | $\frac{1}{2}$ | -1             | e       | $\mu$     | $\tau$     |

また、これらの素粒子の間にはたらく相互作用として、現在のところ自然界には重力、電磁力、強い力、弱い力の 4 種類が知られている。場の量子論の描像ではこれらのそれぞれの相互作用に対応して、それらを媒介する粒子（ゲージボソン）が存在する。この中で重力相互作用以外の 3 つの相互作用については、その力の媒介粒子の存在が実験的に確認されていて、素粒子標準模型の中でも電磁気力、強い力、弱い力をまとめて、標準理論と呼ばれることが多い。各ゲージボソンは表に示すような性質を持っている。

表 1.2 標準理論で扱われる力の媒介粒子

| 力の種類   | 強い力 | 電磁気力     | 弱い力  |
|--------|-----|----------|------|
| 力の媒介粒子 | g   | $\gamma$ | W, Z |

これらの 4 種類の力は（宇宙創世時には）もともと 1 種類の力に統一されていて、その時間発展の中で宇宙が冷えて行く過程で、対称性の破れにより現在知られているような 4 種類の力に分かれたと考えられている。素粒子標準模型ではこの中でも電磁気力と弱い力の 2 つが  $SU(2) \times U(1)$  ゲージ理論の枠組みで Glashow-Weinberg-Salam 理論として統一されている。この 2 つの力が統一された電弱相互作用は、ヒッグス機構（Higgs Mechanism）によってそれらの間に存在した対称性が自発的に破れることで、現在のように電磁相互作用と弱い相互作用が分かれて存在することになった。ヒッグス機構により、ウィークボソンは実際に観測されているように質量を得ることになり、同時に湯川相互作用という形で物質の構成要素であるクォークやレプトンも質量を獲得すると考えられてい

る。このヒッグス機構において登場するスカラーボソンがヒッグスボソンであり、前述のように、理論的な予言から長い年月が流れたがその存在が実験的に認められた。

### 1.3 ゲージ理論とヒッグス機構

標準理論では、それぞれの相互作用はゲージ理論によって記述されている。理論を決めるラグランジアンがあるゲージ変換について不変であるとき、そのラグランジアンはゲージ対称性を持つ。ゲージ理論では、ラグランジアンについて適当なゲージ対称性を課すことにより、対応する相互作用項とその媒介粒子（ゲージボソン）が数学的に自然に導出される。この理論的・数学的枠組みは、現在の素粒子標準理論において成功しており、その自然さゆえ相互作用を決める指導原理ともみることができる。

例えば、電磁相互作用では以下のように、 $U(1)$  ゲージ変換に対するラグランジアンの不変性を要請することにより、電磁相互作用とその媒介粒子である光子が自然に導ける：

Dirac 方程式に従う自由フェルミオンのラグランジアンは

$$\mathcal{L}_0 = \bar{\psi}(x)(i\gamma^\mu \partial_\mu - m)\psi(x)$$

である。これに局所的な位相変換 ( $U(1)$  変換)

$$\psi(x) \rightarrow \psi'(x) = e^{-iqf(x)}\psi(x)$$

を施すと、上のラグランジアンも変換され、

$$\mathcal{L}_0 \rightarrow \mathcal{L}' = \mathcal{L} + q\bar{\psi}(x)\gamma^\mu \psi(x)\partial_\mu f(x)$$

となる。しかし、以下のようにラグランジアンに相互作用項を加えることによって  $U(1)$  変換に対するラグランジアンの不変性を回復させることができる。

ラグランジアンの中の微分  $\partial_\mu$  を次の共変微分

$$D_\mu \psi(x) = [\partial_\mu + iqA_\mu(x)]\psi(x)$$

に置き換える。ここで導入されたゲージ場  $A_\mu(x)$  は

$$A_\mu(x) \rightarrow A'_\mu = A_\mu(x) + \partial_\mu f(x)$$

のように変換する。

これらの共変微分・ゲージ場を導入することにより、 $U(1)$  変換のもとで、式のラグランジアンは不変である ( $U(1)$  ゲージ不変)。また、このとき式のラグランジアンは

$$\mathcal{L} = \mathcal{L}_0 - q\bar{\psi}(x)\gamma^\mu \psi(x)A_\mu(x) \equiv \mathcal{L}_0 + \mathcal{L}_I \quad (1.1)$$

となり,  $U(1)$  変換に対する不変性という要請から電磁相互作用に対応する相互作用項とそれを媒介するゲージボソン (この場合は光子) が自然に導ける.

同様にゲージ理論を弱い相互作用の場合についても考える. 弱い相互作用では, 左巻きのレプトンのみが相互作用をしてそれらの間でレプトンの種類が変化する. 例えば, 図のように  $\mu$  粒子が崩壊して電子になる過程がそうである.

弱い相互作用と電磁相互作用の統一においてゲージ理論として, ヒッグス機構が導入されるまでをみる.

相互作用によって粒子の種類が入れ替わることを考慮して, 2 成分の場によって弱い相互作用の枠組みを記述する:

$$\Psi_\ell^L(x) = \begin{pmatrix} \psi_{\nu_\ell}^L(x) \\ \psi_\ell^L(x) \end{pmatrix} \quad (1.2)$$

ここで  $\psi^L$  は左巻き場を表し, 右巻き場  $\psi^R$  は相互作用をしないので, そのまま  $\psi_{\nu_\ell}^R, \psi_\ell^R$  として記述する. これらはカイラリティ演算子によって,

$$\psi^L = \frac{1}{2}(1 - \gamma^5)\psi \quad (1.3)$$

$$\psi^R = \frac{1}{2}(1 + \gamma^5)\psi \quad (1.4)$$

のように得られる.

このとき, 自由ラグランジアンは

$$\mathcal{L}_0 = i \left\{ \bar{\Psi}_\ell^L \not{\partial} \Psi_\ell^L + \bar{\psi}_\ell^R \not{\partial} \psi_\ell^R + \bar{\psi}_{\nu_\ell}^R \not{\partial} \psi_{\nu_\ell}^R \right\} \quad (1.5)$$

となる.

このラグランジアンは次の大域的  $SU(2)$  変換

$$\Psi_\ell^L \rightarrow \Psi_\ell^{L'} = e^{i\frac{1}{2}\alpha_j\tau_j} \Psi_\ell^L \quad (1.6)$$

に対して不変である. ただし,  $\tau$  はパウリ行列

$$\tau_1 = \begin{pmatrix} 0 & 1 \\ 1 & 0 \end{pmatrix}, \quad \tau_2 = \begin{pmatrix} 0 & -i \\ i & 0 \end{pmatrix}, \quad \tau_3 = \begin{pmatrix} 1 & 0 \\ 0 & -1 \end{pmatrix} \quad (1.7)$$

である.

式 (1.6) に対してラグランジアンが不変であるという特徴から, ネーターの定理によって, 対応する保存量・保存カレントが存在する.

$$J_i^\alpha = \frac{1}{2} \bar{\Psi}_\ell^L \gamma^\alpha \Psi_\ell^L \quad I_i^W = \int d^3\mathbf{x} J_i^0 \quad (i = 1, 2, 3) \quad (1.8)$$



これらからレプトンカレント（電荷を上げたり下げたりする）が定義できる。このレプトンカレントが弱い相互作用におけるレプトンの種類の変化に対応する。レプトンカレントは

$$J^\alpha = 2(J_1^\alpha - iJ_2^\alpha) = \bar{\psi}_\ell \gamma^\alpha (1 - \gamma^5) \psi_{\nu_\ell} \quad (1.9)$$

$$J^{\alpha\dagger} = 2(J_1^\alpha + iJ_2^\alpha) = \bar{\psi}_{\nu_\ell} \gamma^\alpha (1 - \gamma^5) \psi_\ell \quad (1.10)$$

であり、保存量が3成分あることから、第3のカレント

$$J_3^\alpha = \frac{1}{2} \left[ \bar{\psi}_{\nu_\ell}^L \gamma^\alpha \psi_{\nu_\ell}^L - \bar{\psi}_\ell^L \gamma^\alpha \psi_\ell^L \right] \quad (1.11)$$

も定義できる。

式(1.11)の第2項は電磁カレント

$$s^\alpha = -e \bar{\psi}_\ell \gamma^\alpha \psi_\ell \quad (1.12)$$

と非常によく似た形をしている。このことから、弱い相互作用と電磁相互作用は互いに関係があり、理論的に統一できることが示唆される。

式(1.5)で表される、弱い相互作用の自由ラグランジアン

$$\mathcal{L}_0 = i \left\{ \bar{\Psi}_\ell^L \not{\partial} \Psi_\ell^L + \bar{\psi}_\ell^R \not{\partial} \psi_\ell^R + \bar{\psi}_{\nu_\ell}^R \not{\partial} \psi_{\nu_\ell}^R \right\} \quad (1.13)$$

に対して、大域的な SU(2) 変換の代わりに局所的な SU(2) 変換

$$\Psi_\ell^L \rightarrow \Psi_\ell^{L'} = e^{i\frac{1}{2}g\tau_j\omega_j} \Psi_\ell^L \quad (1.14)$$

を施した場合のラグランジアンのカレント不変性を要請する。

QED の場合と同様に、ゲージ不変性を回復させるための共変微分・ゲージ場を導入する

$$D^\mu \Psi_\ell^L = (\partial^\mu + ig\tau_j W_j^\mu/2) \Psi_\ell^L \quad (1.15)$$

$$W_i^\mu \rightarrow W_i^{\mu'} = W_i^\mu - \partial^\mu \omega_j - g\epsilon_{ijk}\omega_j W_k^\mu \quad (1.16)$$

また、電磁場との統一も考え、電磁相互作用項を導出した際と同様に局所 U(1) 変換も次のように導入する。

$$\psi \rightarrow \psi' = e^{ig'Yf(x)} \psi \quad (1.17)$$

また、これに対してもゲージ不変性のために

$$D^\mu \psi = (\partial^\mu + ig'YB^\mu) \psi \quad (1.18)$$

$$B^\mu \rightarrow B^{\mu'} = B^\mu - \partial^\mu f(x) \quad (1.19)$$

を導入する.

Goldstone 模型のラグランジアンは

$$\mathcal{L} = \partial^\mu \phi^* \partial_\mu \phi - V(\phi) \quad (1.20)$$

$$V(\phi) = \mu^2 \phi^* \phi + \lambda |\phi^* \phi|^2 \quad (1.21)$$

$$\phi = \frac{1}{\sqrt{2}}(\phi_1 + i\phi_2) \quad (1.22)$$

である. ポテンシャル項は, パラメータ  $\mu$  と  $\lambda$  の符号によって場合分けできる. ポテンシャルの下限が  $-\infty$  でなく有限値にあるためには  $\lambda > 0$  である必要がある. したがって,  $\mu^2$  の符号で 2 通りの場合が考えられる.  $\mu^2 > 0$  の場合は, ポテンシャル  $V(\phi)$  の 2 つの項が両方とも正になる. よって, ポテンシャルの最低値は  $\phi = 0$  のところに一意に決まり, 自発的対称性の破れは起こらない. この状況は図 1.1 の左に示す通りである.

一方,  $\mu^2 < 0$  の場合は, ポテンシャルの形は図 1.1 の右のようになる. ポテンシャルが最低値をとるのは

$$\phi = \phi_0 = \sqrt{\frac{-\mu^2}{2\lambda}} e^{i\theta} \quad (0 \leq \theta < 2\pi) \quad (1.23)$$

のときである.

これは位相角  $\theta$  の分の自由度があり, 最低エネルギー状態すなわち真空状態は一意には決まらない. この状態から, ある特定の向き  $\theta$  を選ぶときに自発的に対称性が破れることになる.

ここで,  $\theta = 0$  を選び対称性を自発的に破る.  $\phi_0$  は実数になる.

$$\phi_0 = \sqrt{\frac{-\mu^2}{2\lambda}} = \frac{1}{\sqrt{2}}v(>0) \quad (1.24)$$

$\phi$  の基底状態  $\phi = \phi_0$  からの変位として実場  $\sigma$  と  $\eta$  を

$$\phi = \frac{1}{\sqrt{2}}(v + \sigma + i\eta) \quad (1.25)$$

によって導入する. この表現によって式 (1.22) を表すと

$$\mathcal{L} = \frac{1}{2}(\partial^\mu \sigma)^2 + \frac{1}{2}(\partial^\mu \eta)^2 - \frac{1}{2}(-2\mu^2)\sigma^2 + (\text{const.}) + (\text{higher terms}) \quad (1.26)$$

となる. 式 (1.26) の第 3 項はスカラー場  $\sigma$  の質量項を表していると考えられる. しかし, 同時に第 2 項は質量ゼロの, いわゆる南部・ゴールドストーンボソンが表れている. したがって, 自発的対称性の破れによってボソンの質量項を得ることができたが, 同時に非物理的な質量ゼロのボソンも現れてしまう.

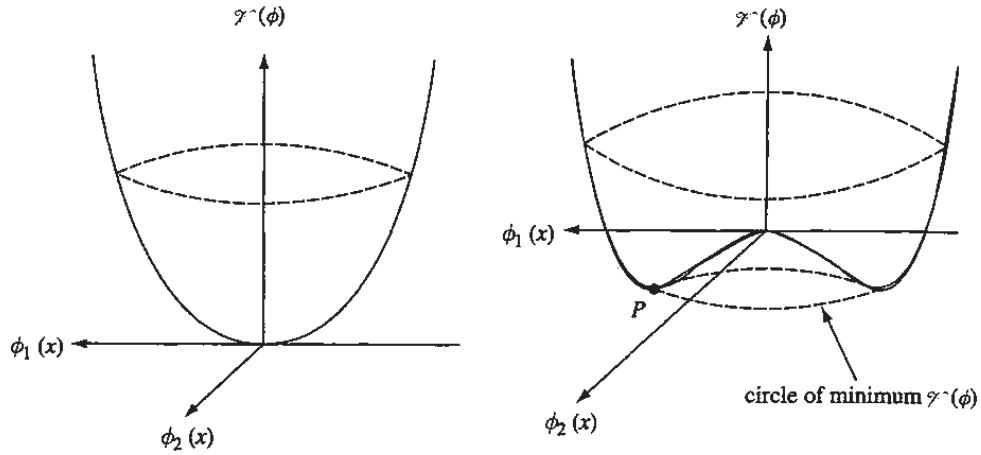


図 1.1 ポテンシャルエネルギー密度  $V(\phi) = \mu^2|\phi|^2 + \lambda|\phi|^4$ . 左は  $\mu^2 > 0$  の場合. 右は  $\mu^2 < 0$  の場合で自発的対称性の破れが起こる. [3]

この南部・ゴールドストーンボソンをつくらずに, なおかつ理論のゲージ不変性を破ることなく弱い相互作用のゲージボソンに質量をもたせるために, ヒッグス機構を導入する. ヒッグス機構では, 式 (1.25) を定義した後にさらに  $\phi$  に対して

$$\phi \rightarrow \phi' = e^{-i\theta(x)}\phi \quad (1.27)$$

なるゲージ変換を施し,  $\phi'$  が実場となるようにする. これによって場  $\phi$  は

$$\phi = \frac{1}{\sqrt{2}}(v + \sigma) \quad (1.28)$$

となり, これを用いてラグランジアン (1.22) を表すと

$$\mathcal{L} = \frac{1}{2}(\partial^\mu \sigma)(\partial_\mu \sigma) - \frac{1}{2}(-2\mu^2)\sigma^2 - \frac{1}{4}F_{\mu\nu}F^{\mu\nu} + \frac{1}{2}(qv)^2 A_\mu A^\mu + \dots \quad (1.29)$$

電弱統一ゲージ理論 (Glashow 模型) に対してヒッグス機構を適用し, ゲージボソン ( $W^\pm, Z^0$ ) の質量を導いたのがワインバーグ・サラム模型である. ワインバーグ・サラム

模型では,

$$\mathcal{L}^H = (D^\mu \Phi)^\dagger (D_\mu \Psi) - \mu^2 \Psi^\dagger \Psi - \lambda (\Psi^\dagger \Psi)^2 \quad (1.30)$$

$$D^\mu \Psi = [\partial^\mu + ig\tau_j W_j^\mu/2 + ig'Y B^\mu/2]\Psi \quad (1.31)$$

$$\Psi = \begin{pmatrix} \phi_a \\ \phi_b \end{pmatrix} = \frac{1}{\sqrt{2}} \begin{pmatrix} \phi_1 + i\phi_2 \\ \phi_3 + i\phi_4 \end{pmatrix} \quad (1.32)$$

なるラグランジアンから始める. 自発的対称性の破れの際と同じ考察の結果, ポテンシャルの最小値は

$$\phi_1^2 + \phi_2^2 + \phi_3^2 + \phi_4^2 = v^2 \quad (1.33)$$

を満たす円周上である. その中からある 1 つの点を選ぶことによって自発的に対称性が破れる. いま,

$$\phi_1 = \phi_2 = \phi_4 = 0, \quad \phi_3 = v \quad (1.34)$$

のように選ぶとする.

この基底状態からの変位として実場を新たに導入して

$$\Phi = \frac{1}{\sqrt{2}} \begin{pmatrix} \eta_1 + i\eta_2 \\ v + \sigma + i\eta_3 \end{pmatrix} \quad (1.35)$$

と表す. これに対して, さらに SU(2) 変換を施すと

$$\Phi = \frac{1}{\sqrt{2}} \begin{pmatrix} 0 \\ v + \sigma \end{pmatrix} \quad (1.36)$$

とすることができる. この  $\Phi$  をラグランジアン (1.32) に代入すること, 式 (1.32) 中の第 1 項が

$$(D^\mu \Phi)^\dagger (D_\mu \Phi) = \frac{1}{2} \partial^\mu \sigma \partial_\mu \sigma + \frac{1}{4} v^2 g^2 W^{\mu\dagger} W_\mu + \frac{1}{4} v^2 g^2 \frac{1}{\cos^2 \theta_w} Z^\mu Z_\mu + \dots \quad (1.37)$$

となる.

式 (1.37) の第 2 項, 第 3 項はそれぞれ  $W^\pm$  ボソン,  $Z^0$  ボソンの質量項であり, この質量の値は他のパラメータから理論的に予言することができる. そして 1983 年に UA1, UA2 実験において予言通りの質量でこれらが発見された.

このように, 弱い相互作用と電磁相互作用はゲージ理論として統一され, その際にヒッグス機構によってゲージボソンに質量がゲージ不変性を破ることなく, また非物理的なボソンを作らずに自然に与えられることがわかる.

ヒッグス機構を用いることで、電弱の統一においてゲージボソンの質量が自然に導入できるが、標準理論自体はヒッグス粒子の質量を予言できない上、フェルミオンの質量も湯川型結合によって多くの自由パラメータとともに導入される。

$$\mathcal{L}^{LH} = -f_\ell \left[ \overline{\Psi}_\ell^L \Phi \psi_\ell^R + \overline{\psi}_\ell^R \Phi^\dagger \Psi_\ell^L \right] \quad (1.38)$$

このラグランジアンは  $SU(2) \times U(1)$  ゲージ不変だが、フェルミオンの質量項のために導入される。対称性が自発的に破れると

$$\Phi = \frac{1}{\sqrt{2}} \begin{pmatrix} 0 \\ v + \sigma \end{pmatrix} \quad (1.39)$$

となるから、フェルミオンの質量項として

$$\frac{f_\ell v}{\sqrt{2}} \overline{\psi}_\ell \psi_\ell \quad (1.40)$$

が得られる。ただし、湯川結合定数  $f_\ell$  は完全に自由パラメータであり、理論の中では予言することができず、実験的にしか決めることができない。

## 2 LHC/ATLAS 実験

LHC/ATLAS 実験は人類史上最大かつ最高エネルギーを誇る大実験である。本節では、この実験を可能にしている LHC 加速器と ATLAS 検出器についてみていく。

### 2.1 LHC 加速器

LHC (Large Hadron Collider) は、欧州原子核研究機構 (CERN) の有する円周が 27 Km にも及ぶ大型の陽子・陽子衝突型加速器である。CERN はスイス・フランス国境のジュネーブ郊外に位置し、LHC 加速器や ATLAS 検出器を始めとする様々な実験の検出器の位置関係は図 2.1 のようになっている。

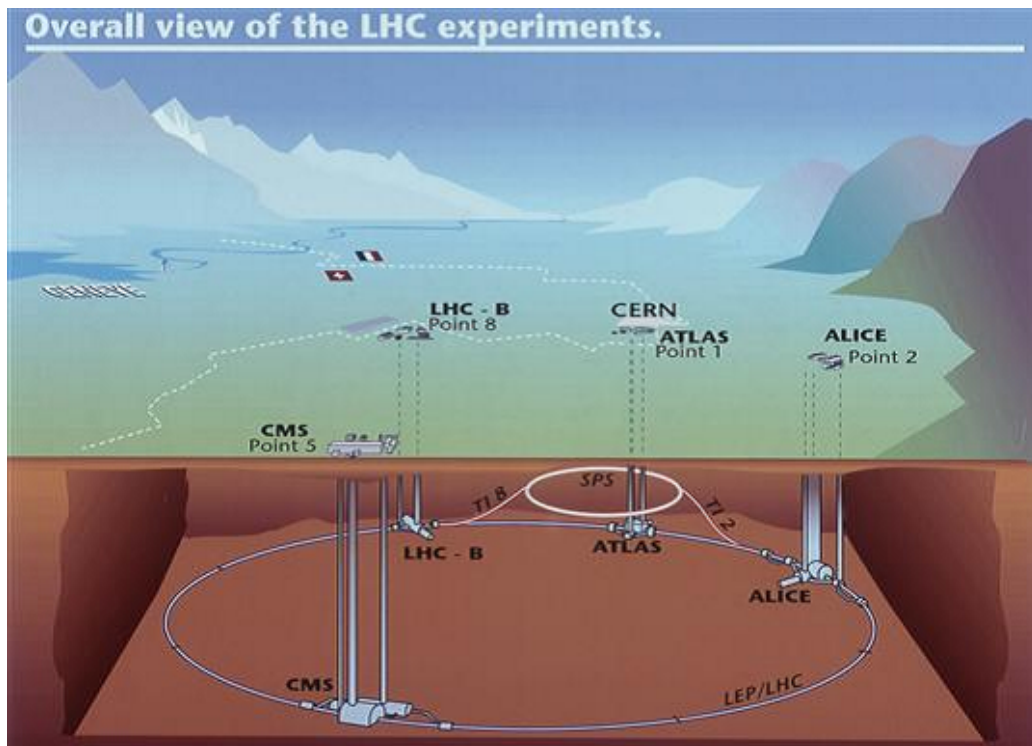


図 2.1 LHC 全体像 [18]

LHC によって陽子は TeV のエネルギーまで加速される。LHC の設計値としてはそれぞれの陽子が 7 TeV まで加速され、重心系エネルギー 14 TeV で衝突することになっている。そのような高エネルギーまで陽子を加速させるためには、LHC のメインリングの他に様々な前段加速器の存在が欠かせない。これら前段加速器から LHC のメインリング

までのビーム加速の一連の流れを図 2.2 に示す。

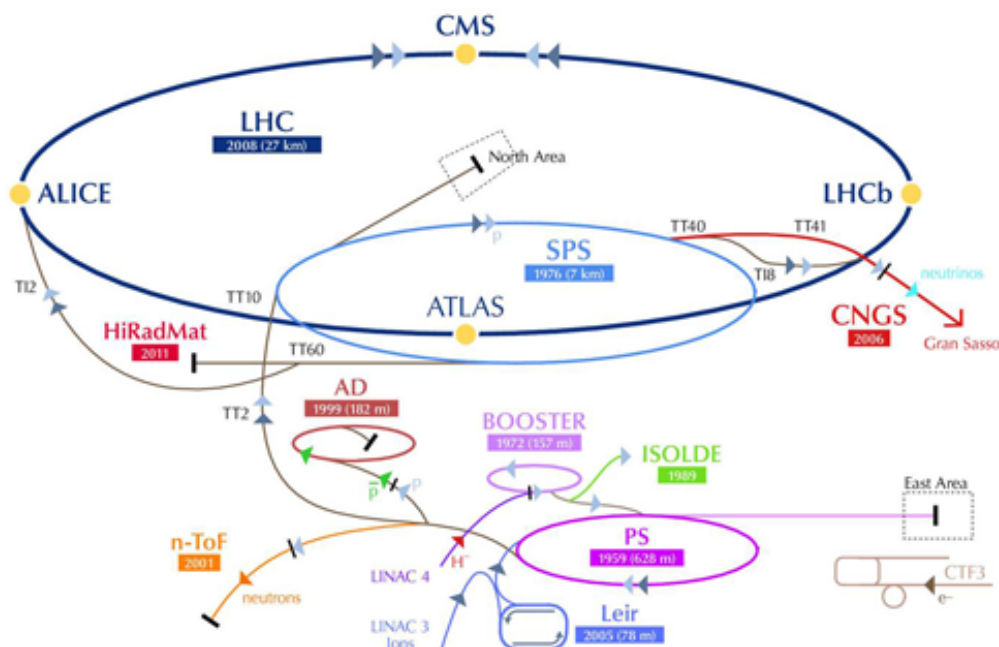


図 2.2 LHC accelerator complex[20]

はじめに、気体の水素に電場をかけることによって陽子を取り出し、線形加速器である Linac 2 を用いて 50 MeV まで加速される。そして、陽子ビームは Proton Synchrotron Booster (PSB) により 1.4 GeV まで加速される。続いて Proton Synchrotron (PS) により 25 GeV までさらに加速され最後の前段加速器である Super Proton Synchrotron (SPS) により 450 GeV まで加速され LHC のメインリングへと入る。

## 2.2 ATLAS 検出器

ATLAS (A Toroidal LHC Apparatus) 検出器は、図 2.3 に示すように全長 44m 高さ 25m の大型の複合型汎用粒子検出器である。ビーム軸から外側に向かって、内部飛跡検出器、電磁カロリメータ、ハドロンカロリメータ、 $\mu$  粒子検出器を備えており、様々な種類の粒子のエネルギー、運動量、位置を高い精度で測定することに成功している。

### 2.2.1 検出器座標系

ATLAS 検出器の座標系を図 2.4 に示す。

陽子ビームの方向に  $z$  軸をとり、それに垂直な方向に  $x - y$  平面をとる。ビームの衝



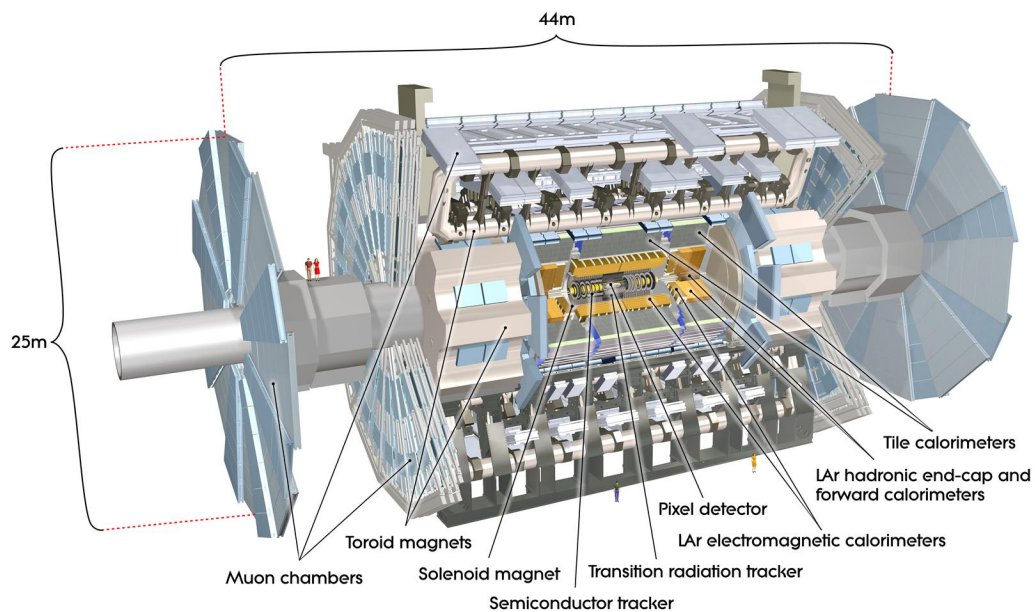


図 2.3 ATLAS 検出器 [5]

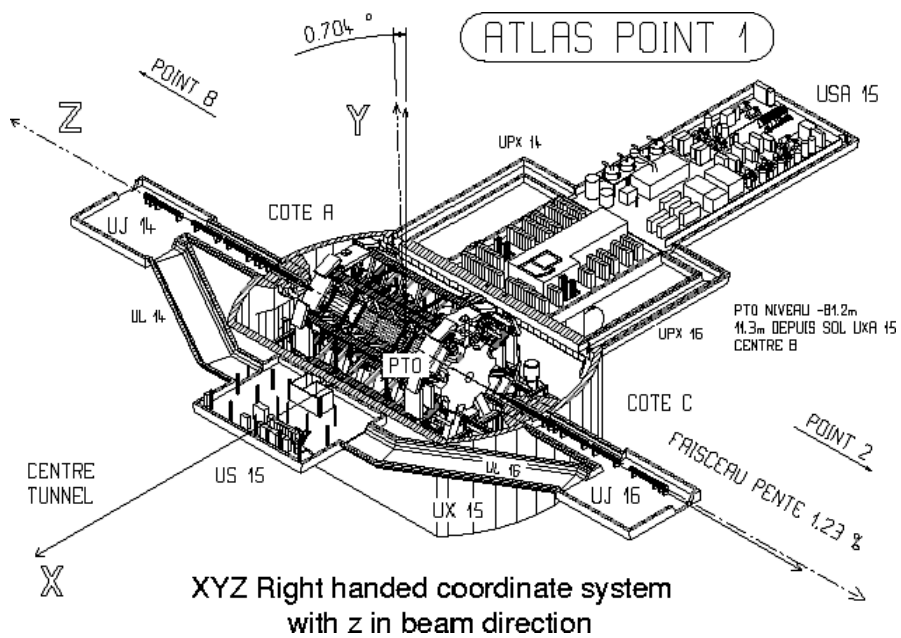


図 2.4 ATLAS 検出器座標系 [21]



突点から LHC リングの中心の向きを  $x$  軸の正の向きとし、また衝突点から上向き（地下の ATLAS 検出器から地上への向き）を  $y$  軸の正の向きとする。さらに、これらの  $x, y, z$  が右手系をなすように  $z$  軸の正の向きを定義する。 $z$  が正の部分を side-A、負の部分を side-C と呼ぶ。方位角  $\phi$  はビーム軸の周りに  $x - y$  平面内で定義される。また、天頂角  $\theta$  はビーム軸からの角度であり、 $y - z$  平面内で定義される。よく使われる量として、天頂角  $\theta$  に関連して、擬ラピディティ  $\eta$  がある。これは

$$\eta = -\ln \tan \left( \frac{\theta}{2} \right) \quad (2.1)$$

として定義される。

この他にも、運動量やエネルギーの  $x - y$  平面成分である横運動量  $p_T$  や  $E_T$  がよく使われる。LHC における陽子・陽子の衝突においては、それぞれの陽子がビーム軸方向のみに運動量を持って衝突するため、エネルギー保存則から衝突後の  $x - y$  平面内での運動量のベクトル和はゼロになる。もし、 $x - y$  平面内のエネルギー・運動量のベクトル和がゼロにならず、ある方向へ偏りをもつならば、何らかの原因によって観測できない量があったことを意味する。これを消失横エネルギー  $E_T^{miss}$  と呼び、検出器に問題が無ければニュートリノなどの観測できなかった粒子の情報となる。

また、粒子の飛跡間の距離を示すのに便利な量として  $\Delta R$  がある。これは擬ラピディティ  $\eta$  と方位角  $\phi$  の空間で

$$\Delta R = \sqrt{\Delta\eta^2 + \Delta\phi^2} \quad (2.2)$$

として定義される。

### 2.2.2 内部飛跡検出器

内部飛跡検出器は、3 種類の独立した検出器から構成される。検出器内側から、シリコン検出器である Pixel 検出器と SCT (SemiConductor Tracker) 検出器があり、その外側には遷移放射型検出器の TRT (Transition Radiation Tracker) がある。これらの検出器の位置関係を図 2.5 および図 2.6 に示す。

Pixel 検出器・SCT 検出器は半導体のシリコンを用いた検出器で、図のように半導体中の空乏層を荷電粒子が通過した際にできる電子・正孔対が電場により電極までドリフトされて読み出されることにより、荷電粒子の通過した位置を検出する。

#### Pixel 検出器

Pixel 検出器は ATLAS の最内層に位置し、その中でも一番内側にあるもの (B-layer と呼ばれる) はビームパイプから約 5cm のところにある。そのため、特に高い精度での検出

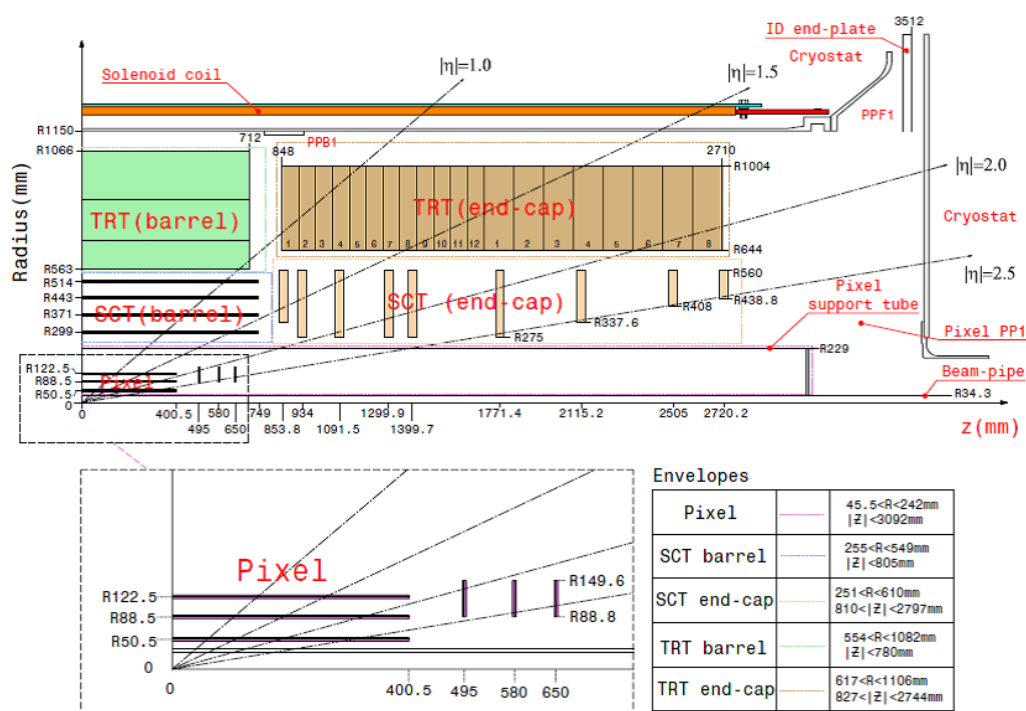


図 2.5 ATLAS 内部飛跡検出器の横方向断面図 [5]

を行うために  $\eta - \phi$  の 2 次元の位置情報を読み出すことができるようにモジュール内に配置された一つ一つのピクセルの情報を読み出す。また、読みだした電荷量があらかじめ設定されているしきい値を超えた時間 ToT (Time Over Threshold) の情報もある。

Pixel 検出器には全体で 1744 のモジュールがある。これらのモジュールはバレル領域に 3 層、2 つのエンドキャップ領域にそれぞれ 3 層が配置されている。各層の位置やモジュール数、Pixel 数などの基本的なパラメータを表 2.1 に示す。

Pixel 検出器モジュールは図 2.7 に示すような構造をしている。モジュール下部から上部へ以下のような要素から成り立っている：

- 各 2880 チャンネルの読み出しを持つ 16 個のフロントエンドチップ
- 読み出しのフロントエンドチップとピクセルセンサーを電氣的に接続するためのバンプボンディング
- ピクセルセンサー (面積:  $63.4 \times 24.4 \text{ mm}^2$  厚さ  $250 \text{ }\mu\text{m}$ )
- モジュールコントロールチップなどが実装されたフレキシブル基板

これら 1744 個の Pixel 検出器モジュールはすべて同一 (外形寸法  $19 \times 63 \text{ mm}^2$ ) である。

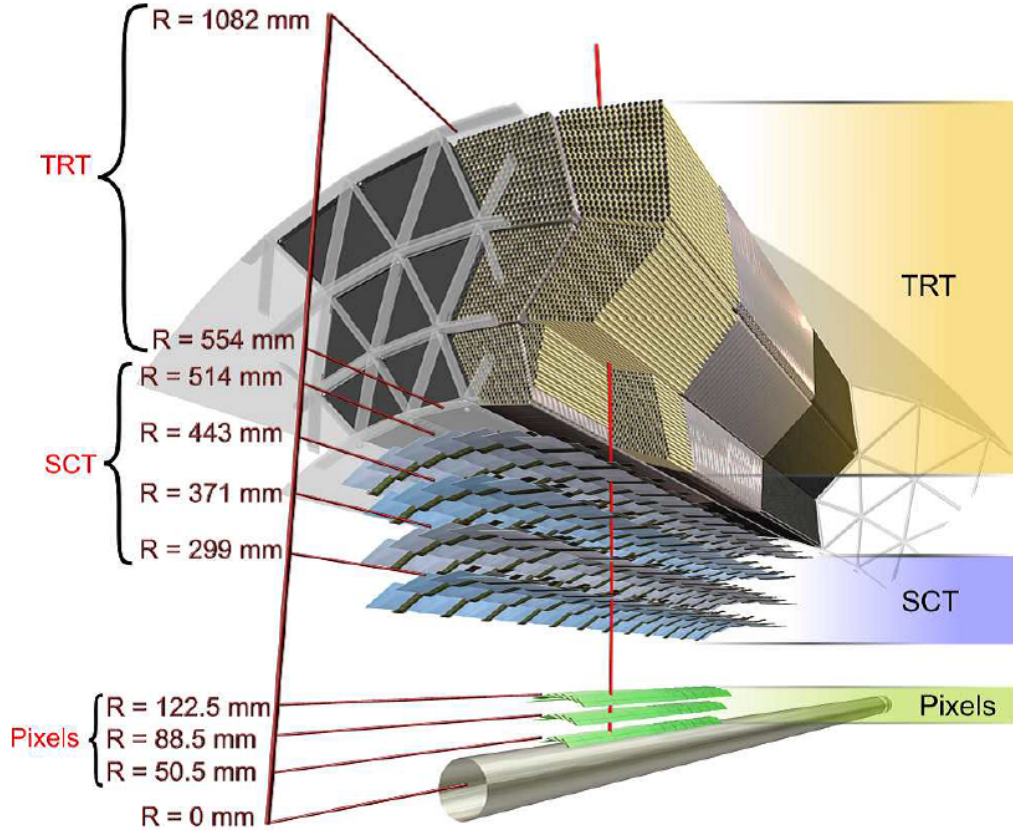


図 2.6 ATLAS 内部飛跡検出器のビーム方向断面図 [5]

| Barrel                   | Radius (mm) | Staves  | Modules | Pixels             |
|--------------------------|-------------|---------|---------|--------------------|
| Layer-0                  | 50.5        | 22      | 286     | $13.2 \times 10^6$ |
| Layer-1                  | 88.5        | 38      | 494     | $22.8 \times 10^6$ |
| Layer-2                  | 122.5       | 52      | 676     | $31.2 \times 10^6$ |
| End-cap (one side)       | $z$ (mm)    | Sectors | Modules | Pixels             |
| Disk 1                   | 495         | 8       | 48      | $2.2 \times 10^6$  |
| Disk 2                   | 580         | 8       | 48      | $2.2 \times 10^6$  |
| Disk 3                   | 650         | 8       | 48      | $2.2 \times 10^6$  |
| Barrel and both end-caps |             |         | 1744    | $80.4 \times 10^6$ |

表 2.1 Pixel 検出器のパラメータ [5]

初期には約 150 ボルトのバイアス電圧を印加するが、運用時には放射線損傷による検出器の変化や検出器の位置に応じて電化収集効率が良くなるように最大約 600 ボルトまでを印加する。一つ一つの Pixel の大きさは  $50 \times 400 \mu\text{m}^2$  であるが、これは全体の約 90% の Pixel についてであり、フロントエンドチップの境界をまたぐ Pixel については例外的に  $50 \times 600 \mu\text{m}^2$  の大きさのものが使われる。一つのモジュールには 47232 個の Pixel が存在するが、配置の制約による inefficiency を防ぐために、Pixel の並び 1 列ごとに 4 つの ganged pixel が存在する。このため実際には一つのモジュールの読み出しは 46080 チャンネルである。

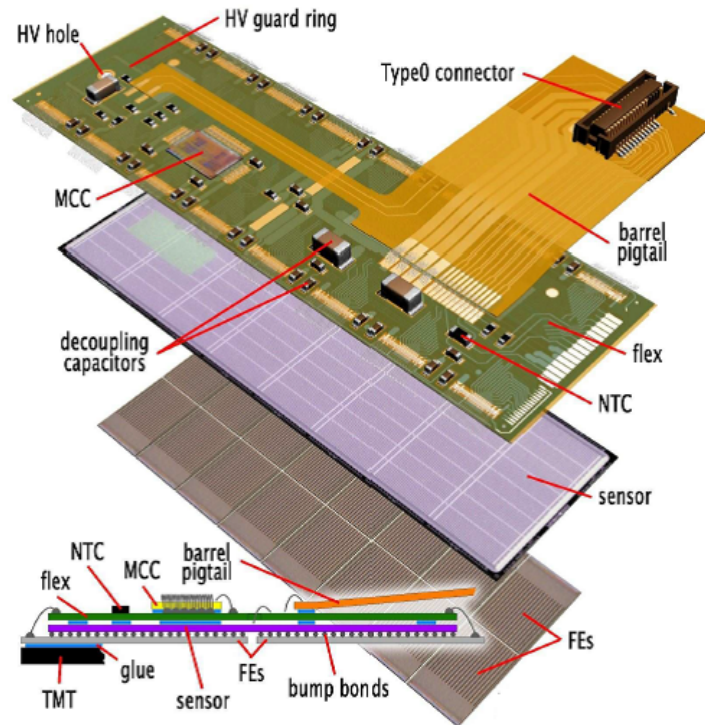


図 2.7 Pixel 検出器モジュールの模式図 [5]

16 個の読み出しフロントエンド ASIC はそれぞれ 2880 個の大きさ  $50 \times 400 \mu\text{m}^2$  の Pixel を  $18 \times 160$  の行列単位で読み出す。このフロントエンド ASIC の模式図を図 2.8 に示す。

一つ一つの Pixel はフロントエンド ASIC のアナログ回路にバンプボンドされていて、このアナログ回路によって読み出された電荷が増幅される。そして、その電荷が設定可能なしきい値を超えるかどうかコンパレータによって判断される。しきい値を超えた場合は、アナログ回路に接続されているデジタル回路部分によって、そのヒットに対応した

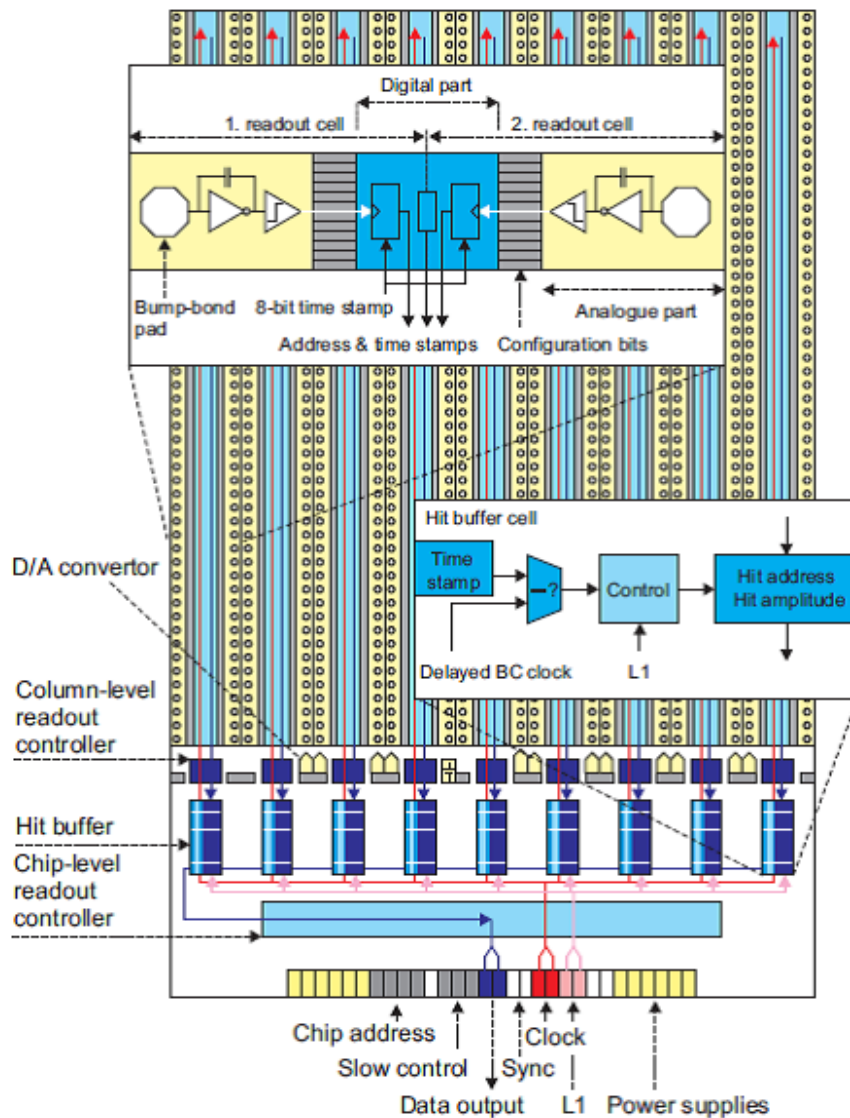


図 2.8 Pixel 検出器の読み出し ASIC 模式図 [5]

Pixel のアドレスやタイムスタンプ、デジタル化された電荷情報、ToT の情報がフロントエンド ASIC の外部へとつながるバッファへ転送される。

内部飛跡検出器の情報は ATLAS のトリガーシステムでは Level 2 以降でのみ使われるので、ヒット情報を転送するかどうかは Level 1 の判断を待つ必要がある。そのため、このフロントエンド ASIC は Level 1 トリガーの平均的な遅延時間である  $2.5 \mu\text{s}$  以上の時間だけヒット情報を保存できることが要求される。

図 2.8 の下部にある Hit buffer はこの制約を満たすように十分な大きさ（約  $3.2 \mu\text{s}$  分）が取られている。そして、フロントエンド ASIC にまで Level 1 トリガーの判断が伝わる



ようになっている, Level 1 トリガーを通過した場合のみ, Hit buffer に蓄えられたヒット情報がフロントエンド ASIC の外部へと転送される仕組みになっている。

フロントエンド ASIC からのヒット情報はモジュールコントロールチップへと転送される。モジュールコントロールチップはバンチ衝突のタイミングや Level 1 トリガーの情報, リセットなどのタイミング信号を各フロントエンド ASIC へと送り, フロントエンド ASIC から受け取ったヒット情報からイベントを組み立てる。

### SCT 検出器

SCT 検出器は 4088 個のモジュールからなる。バレル領域には 4 層 (Layer 3 - 6) , 2 つのエンドキャップ領域にはそれぞれ 9 層ある。バレル領域にある 2112 個の SCT モジュールは  $80\text{ }\mu\text{m}$  ピッチのマイクロストリップを用いており, これらがバイナリ読み出しされる。バレル領域の 4 層のモジュールは図 2.9 に示すようにそれぞれ表側・裏側にこのセンサーを持っており, それらは互いに  $\pm 20\text{ mrad}$  回転して配置されている。これにより, それぞれのセンサーは 1 次元読み出しであるが表側・裏側のセンサーの情報から 1 つのモジュールにおけるスペースポイントを決めることができる。

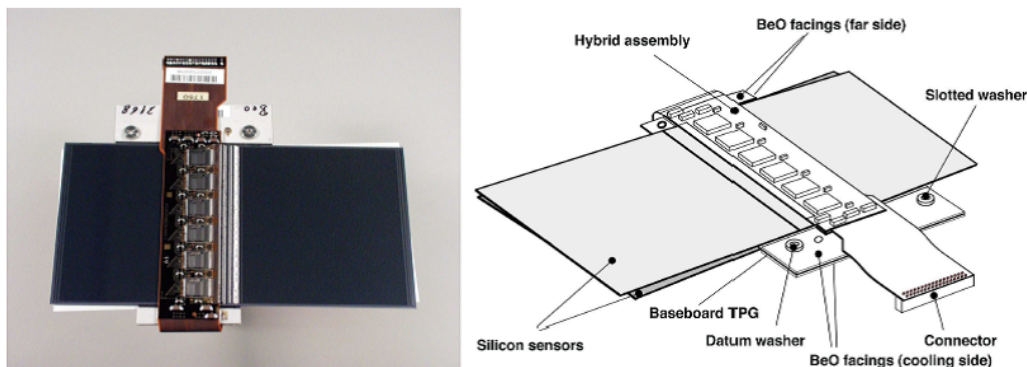


図 2.9 SCT 検出器モジュール [5]

一つの SCT モジュールには 12 個の読み出し用フロントエンド ASIC がある。このフロントエンド ASIC の模式図を図 2.10 に示す。それぞれのフロントエンド ASIC はマイクロストリップ 128 チャンネルを読み出す。このフロントエンド ASIC は Pixel 検出器のものと同様に電荷信号を増幅してしきい値と比較し, Level 1 トリガーの信号を待つことができるようなバッファを備えている。

### TRT 検出器

TRT 検出器は ATLAS 内部飛跡検出器系の最も外側にあり, ビームパイプから約 55cm

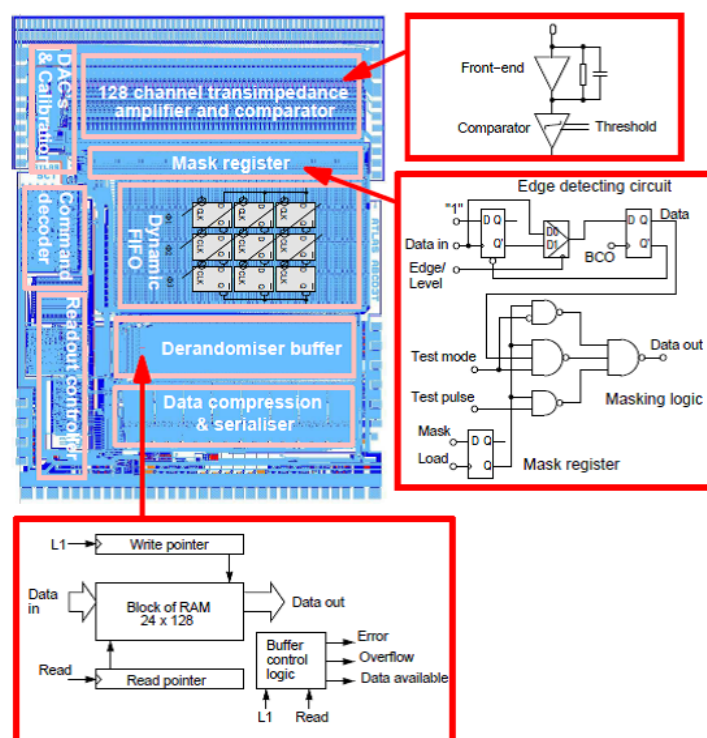


図 2.10 SCT 検出器読み出し用フロントエンド ASIC 模式図 [5]

～1m の範囲に位置する。検出器の名前の通り、粒子の通過の際の遷移放射を利用して粒子の飛跡を捉える。TRT 検出器は直径 4mm のドリフトチューブからなる。チューブ内には Xe(70%) CO<sub>2</sub>(27%) O<sub>2</sub>(3%) の混合気体が詰められていて、一つ一つのチューブが比例計数管として振る舞う。キセノンを用いているため放出された光子を捉えやすく、電子の同定効率が良い。それぞれのチャンネルにおいてドリフト時間から 170  $\mu\text{m}$  の分解能で粒子の位置を測定することができる。

### 2.2.3 カロリメータ

カロリメータでは、通過した粒子のエネルギーを測定する。ATLAS のカロリメータは図 2.11 に示すような構造をしている。

カロリメータは粒子の通過による電磁シャワーやハドロンシャワーを出来る限り多く閉じ込める必要があり、また外側にある  $\mu$  粒子検出器への突き抜けを防ぐことが必要である。そのため、カロリメータはなるべく大きい物質質量をもたせている。特に、消失横エネルギーの測定には、観測可能な粒子のエネルギーがすべて正しく測定できていることが前提であるため、粒子のシャワーを確実に捉えることが非常に重要である。

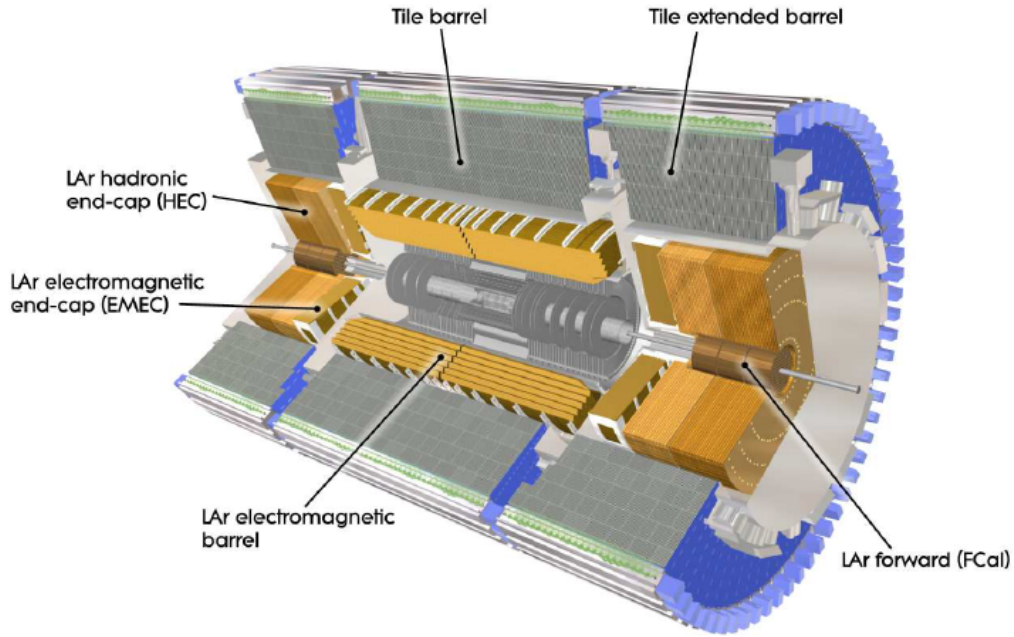


図 2.11 ATLAS のカロリメータ全体像 [5]

### 電磁カロリメータ

電磁カロリメータは  $|\eta| < 1.475$  のバレル領域と  $1.375 < |\eta| < 3.2$  のエンドキャップ領域に分けられる。電磁カロリメータはアコーディオン型をした鉛・液体アルゴンの検出器であり、吸収体は鉛である。このアコーディオン型の配置により  $\phi$  方向に完全な対称性を持っており、隙間が無い。電磁カロリメータのエネルギー分解能は

$$\frac{\sigma_E}{E} = \frac{10\%}{\sqrt{E}} \oplus 0.7\% \quad (2.3)$$

である。

### ハドロンカロリメータ

ハドロンカロリメータは、バレル部分のタイルカロリメータ、液体アルゴンのエンドキャップカロリメータとフォワードカロリメータからなる。タイルカロリメータは電磁カロリメータの外側に配置されていて、2 箇所の拡張領域部分も含めると  $|\eta| < 1.7$  の領域を覆う。吸収体に鉄を用いたサンプリング型カロリメータである。

また、エンドキャップカロリメータはそれぞれのエンドキャップにおいて電磁カロリメータのすぐ後ろに配置されている。エンドキャップカロリメータはタイルカロリメータの覆う領域と  $|\eta| = 1.5$  のあたりで若干の重複をもち、 $|\eta| > 1.7$  の領域を覆う。



フォワードカロリメータはエンドキャップのクライオスタットの内側に配置される。これによりカロリメータは一様に全方向を覆うことができ、また  $\mu$  粒子検出器への突き抜けを減らすことができる。

タイルカロリメータ・エンドキャップカロリメータのエネルギー分解能は

$$\frac{\sigma_E}{E} = \frac{50\%}{\sqrt{E}} \oplus 3\% \quad (2.4)$$

であり、フォワードカロリメータのエネルギー分解能は

$$\frac{\sigma_E}{E} = \frac{100\%}{\sqrt{E}} \oplus 10\% \quad (2.5)$$

である。

#### 2.2.4 $\mu$ 粒子検出器

$\mu$  粒子検出器（ミューオンスペクトロメータ）は、ATLAS の検出器の中で最も外側に位置する。 $\mu$  粒子は MIP（Minimum Ionizing Particle）として振る舞うので途中の検出器中で止まることはなく  $\mu$  粒子検出器の外側へと貫通するためこのような検出器の配置になっている。

$\mu$  粒子検出器はバレル領域とエンドキャップ領域のそれぞれのカロリメータを突き抜けた荷電粒子を検出し、 $|\eta| < 2.7$  の範囲で粒子の運動量を測定する。 $\mu$  粒子検出器は、飛跡再構成に用いられる Monitored Drift Tubes (MDT) と Cathode strip Chambers (CSC) 及びトリガーに用いられる Resistive Plate Chambers (RPC) と Thin Gap Chambers (TGC) からなる。

MDT は多層のドリフトチューブから構成されていて 1 チューブあたり  $80 \mu\text{m}$ 、1 チェンバーあたり  $35 \mu\text{m}$  の位置分解能を持つ。エンドキャップ部の最内層は  $|\eta| < 2.0$  の領域に限られるが、その他は  $|\eta| < 2.7$  の領域を覆っている。

最内層のフォワード領域 ( $2 < |\eta| < 2.7$ ) においては CSC が用いられている。CSC は多線型比例計数管をなしており、 $40 \mu\text{m}$  の位置分解能をもつ。

これらの飛跡検出チェンバーはトリガー用のチェンバーからの情報によって補完される。トリガーは高速な応答が重要で、粒子が通過してから数十 ns 以内に飛跡情報を提供する必要がある。バレル領域 ( $|\eta| < 1.05$ ) では RPC が使われ、エンドキャップ領域 ( $1.05 < |\eta| < 2.4$ ) では TGC が使われる。

各検出器の基本的なパラメータを表 2.2 及び表 2.3 に示す。また、これらの sub-detector の配置を図 2.12 に示す。

| Monitored drift tubes    | MDT                                               |
|--------------------------|---------------------------------------------------|
| - Coverage               | $ \eta  < 2.7$ (innermost layer: $ \eta  < 2.0$ ) |
| - Number of chambers     | 1088 (1150)                                       |
| - Number of channels     | 339000 (54000)                                    |
| - Function               | Precision tracking                                |
| Cathode strip chambers   | CSC                                               |
| - Coverage               | $2.0 <  \eta  < 2.7$                              |
| - Number of chambers     | 32                                                |
| - Number of channels     | 31000                                             |
| - Function               | Precision tracking                                |
| Resistive plate chambers | RPC                                               |
| - Coverage               | $ \eta  < 1.05$                                   |
| - Number of chambers     | 544(606)                                          |
| - Number of channels     | 359000(373000)                                    |
| - Function               | Triggering, second coordinate                     |
| Thin Gap chambers        | TGC                                               |
| - Coverage               | $1.05 <  \eta  < 2.7$ (2.4 for triggering)        |
| - Number of chambers     | 3588                                              |
| - Number of channels     | 318000                                            |
| - Function               | Triggering, second coordinate                     |

表 2.2  $\mu$  粒子検出器の主要パラメータ [5]

| Type | Chamber resolution (RMS) in |        |        | Measurements/track |         |
|------|-----------------------------|--------|--------|--------------------|---------|
|      | $z/R$                       | $\phi$ | time   | barrel             | end-cap |
| MDT  | 35 $\mu\text{m}$ ( $z$ )    | —      | —      | 20                 | 20      |
| CSC  | 40 $\mu\text{m}$ ( $R$ )    | 5 mm   | 7 ns   | —                  | 4       |
| RPC  | 10 mm ( $z$ )               | 10 mm  | 1.5 ns | 6                  | —       |
| TGC  | 2-6 mm ( $R$ )              | 3-7 mm | 4 ns   | —                  | 9       |

表 2.3  $\mu$  粒子検出器の測定パラメータ [5]

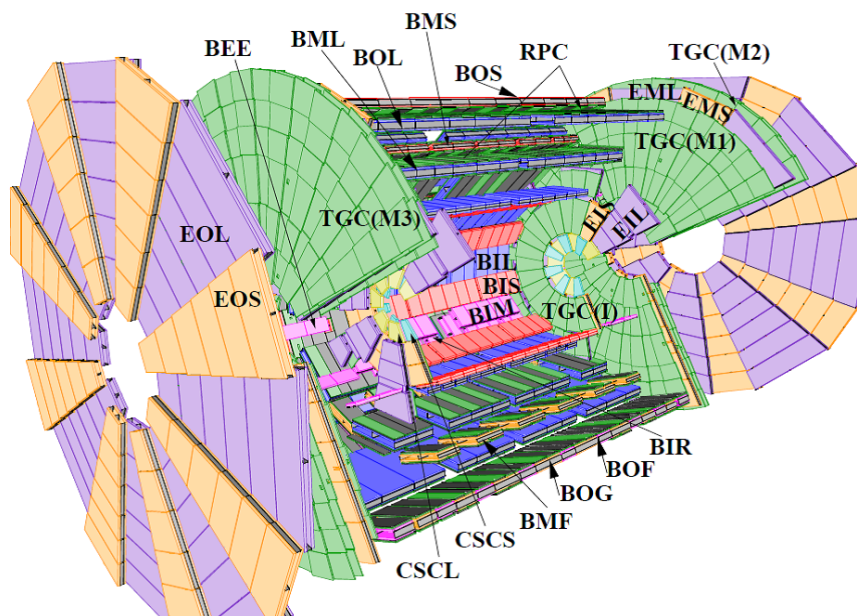


図 2.12  $\mu$  粒子検出器の配置 [5]

## 2.3 トリガーシステム

以上のような検出器を組み合わせることによって、ATLAS 検出器では様々な粒子を判断し、それらの位置やエネルギー、運動量を高い精度で測定することができる。これにより、様々な物理現象を捉えているが、すべての事象のデータを保存することはデータ収集システム (DAQ; Data Acquisition) の記録容量や処理能力の制約から現実的ではない。そこで、多くの実験でそうされているように、ATLAS 実験においてもトリガーシステムを用いて物理的に興味のある事象のみを選択的に捉えて保存するようにしている。

現行のトリガーシステムは Level 1, Level 2, Event filter の 3 段階で構成されている。このうち Level 1 トリガーは検出器に最も近く、特に高速な処理が要求されるため custom-made なハードウェアにより構成される。また、Level 2 トリガーと Event filter はともに PC ファームを用いたソフトウェア処理を行う。これらは High Level Trigger (HLT) としてまとめられることが多い。トリガーシステムの全体像とデータフローを図 2.13 に示す。

## Level 1 トリガー

Level 1 トリガーはカロリメータと  $\mu$  粒子検出器の情報を元に、高い横運動量を持つ  $\mu$

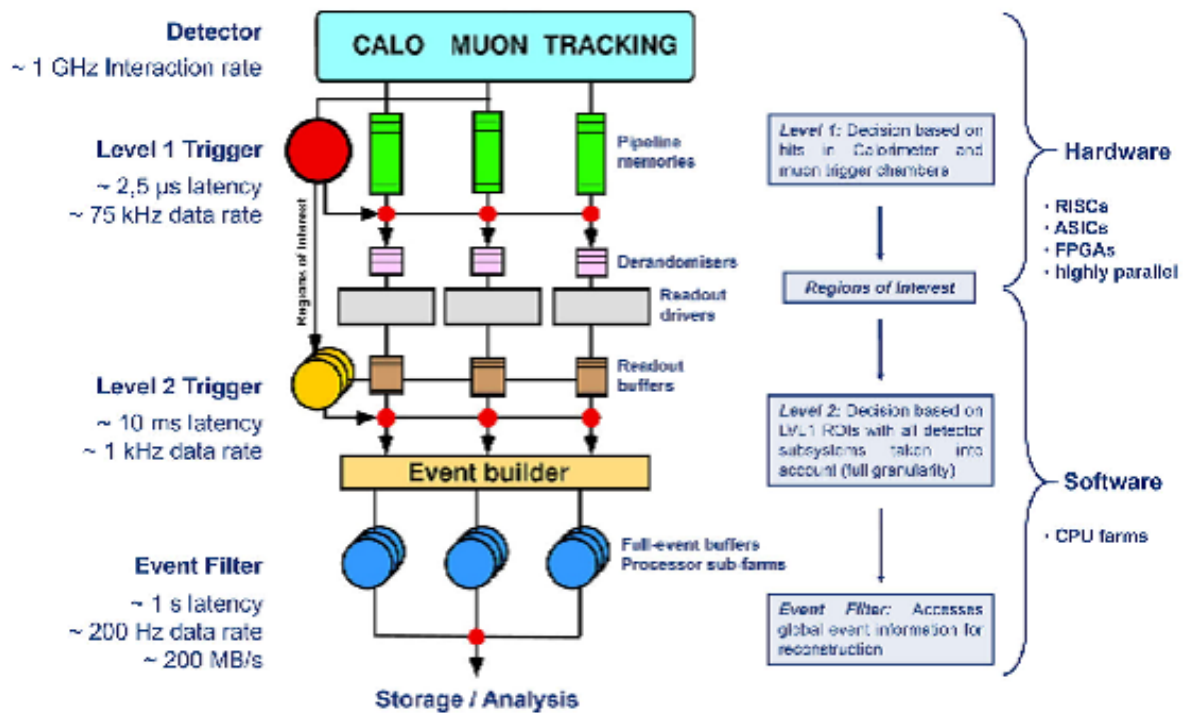


図 2.13 ATLAS のトリガーシステムとデータフロー [22]

粒子や電子・光子、ジェット、ハドロン崩壊する  $\tau$  粒子を探す。また、大きな消失横エネルギーや横エネルギーを持つ事象も選択する。Level 1 トリガーのイベントレートは最高 75 kHz (100 kHz まで増強される) であり、Level 1 トリガーの判断はバンチ衝突から 2.5  $\mu$ s 以内に内部飛跡検出器のフロントエンドエレクトロニクスへと伝えられなければならない。Level 2 以降の後段のトリガーでは内部飛跡検出器の情報も用いた、より高度な処理を行うが、トリガーシステムでの処理時間には限りがあるため、オンラインで検出器の全領域を扱うことが難しい。そのため、Level 1 トリガーにおいて事象中にトリガーオブジェクトがあると思われる領域を Regions-of-Interest (RoI's) として定義しておく。この RoI 及びその周辺のみを Level 2 以降のトリガーで処理することにより限られた処理時間・処理能力の範囲内での運用が可能になる。

### Level 2 トリガー

Level 2 トリガーでは、上述の RoI をシードとして処理を行う。この処理によりイベントレートは 3.5 kHz 以下に落とされる。平均的な処理時間は約 40 ms である。

### Event Filter

Event filter では完全に再構成された事象を用いてオフラインに近い選別を行う。これによりイベントレートは約 200 Hz にまで落とされる。オフラインに近い高度な処理を行っているため、平均的な処理時間は約 4 秒である。

上述のように ATLAS のトリガーシステムでは、75 kHz で起こる事象を最終的に 200 Hz 程度にまで落としている。HLT においては、オフラインに近いアルゴリズムを用いた選別が行われているが、これらが対象とするのは Level 1 トリガーによって定義される RoI の周辺のみである。したがって、仮に物理的に興味・意味のある事象が起こったとしてもそれが Level 1 トリガーを通過しなかったり、RoI として定義されない場合は HLT でどんなに高度な処理ができたとしても 2 度と捉えることはできない。これは、今後の高輝度環境下においてはより顕著になることが予想され、安定的なデータ取得やさらなる物理解析には改善が急務である。そこで、後述のように LHC 加速器・ATLAS 検出器は共に増強されるが、その一つとして本研究の主題である高速飛跡トリガーシステム (FTK) の導入が非常に重要である。

## 2.4 増強計画

ヒッグス粒子が発見され、LHC 加速器や ATLAS 実験・CMS 実験の目的の一つは達成されたが、ヒッグス粒子自体の性質やそれを取り巻く電弱対称性の破れの精密測定や、さらには標準模型を超える物理現象の探索が今後より重要になる。これらを遂行するためには、より高エネルギーかつ高統計なデータが必要でありそれに向けた加速器・検出器双方の段階的な増強が計画されている。

### Phase-0 アップグレード

Phase-0 アップグレードは 2013 年～2014 年の期間における Long Shutdown 1 (LS1) で行われる増強計画である。この Phase-0 アップグレード前後での大きな違いは LHC 加速器のエネルギーである。2012 年までの Run 1 では重心系エネルギー 8 TeV (2011 年は 7 TeV) で運転されていたが、2015 年～2017 年までの Run 2 では LHC の設計値のエネルギーである 14 TeV (Run 2 初期は 13 TeV) での運転が予定されている。また、エネルギーだけではなくビーム輝度も増強され、Run 1 では最高瞬間ルミノシティが  $6 \times 10^{33} \text{ cm}^{-2}\text{s}^{-1}$  であったが、Run 2 では  $1 \times 10^{34} \text{ cm}^{-2}\text{s}^{-1}$  になる予定である。またビームのバンチ間隔も 50 ns から 25 ns に縮められ、衝突頻度が増加することになる。

この Phase-0 アップグレードでは ATLAS 検出器に以下の様な増強がなされる。

- 既存の Pixel 検出器のさらに内側に新しい Pixel 検出器層を追加 (IBL; Insertable B-Layer)
- IBL の挿入に伴い, 既存のビームパイプを新しいビームパイプへと置き換える
- TRT 検出器, 液体アルゴンカロリメータ, タイルカロリメータの修復
- **Fast Tracker (FTK)** のバレル領域への挿入

本研究で開発を行った FTK 受信モジュールは, Phase-0 アップグレードにより挿入され, 2015 年の Run 2 から使用予定の実機である.

### Phase-1 アップグレード

Phase-1 アップグレードは 2018 年の Long Shutdown 2 (LS2) の期間に行われる予定の増強計画である.

重心系エネルギーは 14 TeV で, 瞬間ルミノシティを  $2 \times 10^{34} \text{ cm}^{-2}\text{s}^{-1}$  へと増強し, 2019 年~2022 年までランを行う予定である.

このアップグレード期間には ATLAS 検出器に以下の項目が予定されている:

- **FTK** を全領域へ挿入
- $\mu$  粒子検出器に New Small Wheel を挿入
- カロリメータ関連のエレクトロニクスを増強

### Phase-2 アップグレード

Phase-2 アップグレードは 2022 年の Long Shutdown 3 (LS3) の期間に予定されている増強計画である.

このアップグレードにより瞬間ルミノシティは  $5 \times 10^{34} \text{ cm}^{-2}\text{s}^{-1}$  へと引き上げられ, 2023 年~2030 年台までランを行い最終的に約  $3000 \text{ fb}^{-1}$  のデータを蓄積する予定である.

このアップグレード期間には, 新しいシリコントラッカーの挿入やその他検出器やトリガーシステム, コンピューティング環境の増強がなされる予定である.

## 3 高速飛跡トリガーシステム (Fast TracKer : FTK)

### 3.1 FTK 導入の目的

FTK は ATLAS の増強計画 (Phase-0 upgrade) の一つで, Level 1 と Level 2 の間に挿入されるトラッキングのためのハードウェアシステムである. 粒子の飛跡情報は, 今後の LHC 増強による高輝度環境下における衝突粒子数の増加の問題や第 3 世代の粒子のように特徴的な飛跡をもつ粒子をとらえるために欠かせない情報といえる.

しかし, 現行のトリガーシステムでは, 粒子の飛跡情報を有効かつ最大限に活用できているとは言えない. 現状では Level 1 を通過した事象において, Level 1 で定義された Region of Interest (RoI) と呼ばれる領域についてのみ, Level 2 以降でソフトウェア処理により非常に多くの CPU 時間を使って飛跡情報が算出されている. そのため, トリガーの処理能力を圧迫しており結果として他のトリガーアルゴリズムを動作させる余裕がなく, トリガーの質やデータ取得効率を向上させることが難しくなっている上に, そもそも RoI についての飛跡情報しか使うことができていない.

FTK は Level 1 を通過した事象中の横運動量  $1 \text{ GeV}/c$  以上のすべての粒子の飛跡を高速に再構成して, その飛跡情報を Level 2 へと入力することを可能にする. これにより, 現状で行われているような Level 2 以降でのトラッキングは不要になり, それまで飛跡再構成に割かれていた処理能力をオフラインに近いより洗練されたアルゴリズムに利用することができる. また, この飛跡情報を利用して粒子の衝突点を再構成することもできる. 特に衝突点の個数や位置の情報は非常に汎用的で, あらゆる粒子や現象をとらえることに良い影響をもたらすと考えられる. それゆえ, FTK は既存の CPU ファームなどの資源を置き換えるのではなく, むしろそれらをより効率的に最大限に活用するための道具であり, どのようなトリガーフローにも汎用的に利得のあるシステムといえる.

### 3.2 FTK の物理への効果

FTK によって再構成された飛跡情報を元にして, 第 3 世代の粒子の同定効率改善やトリガー段階での衝突点再構成が実現可能となる. 図 3.1 に示すように, FTK の出力する飛跡情報は Level 2 の始まる段階から使用可能であるにもかかわらず, 現行のオフラインでの飛跡情報と遜色ない質を示している.

また, 図 3.2 に見るように, 衝突点の個数が増加しても FTK の飛跡再構成効率が一定の高い値を示していることから, 今後の高輝度環境下においても安定的な飛跡処理が行える



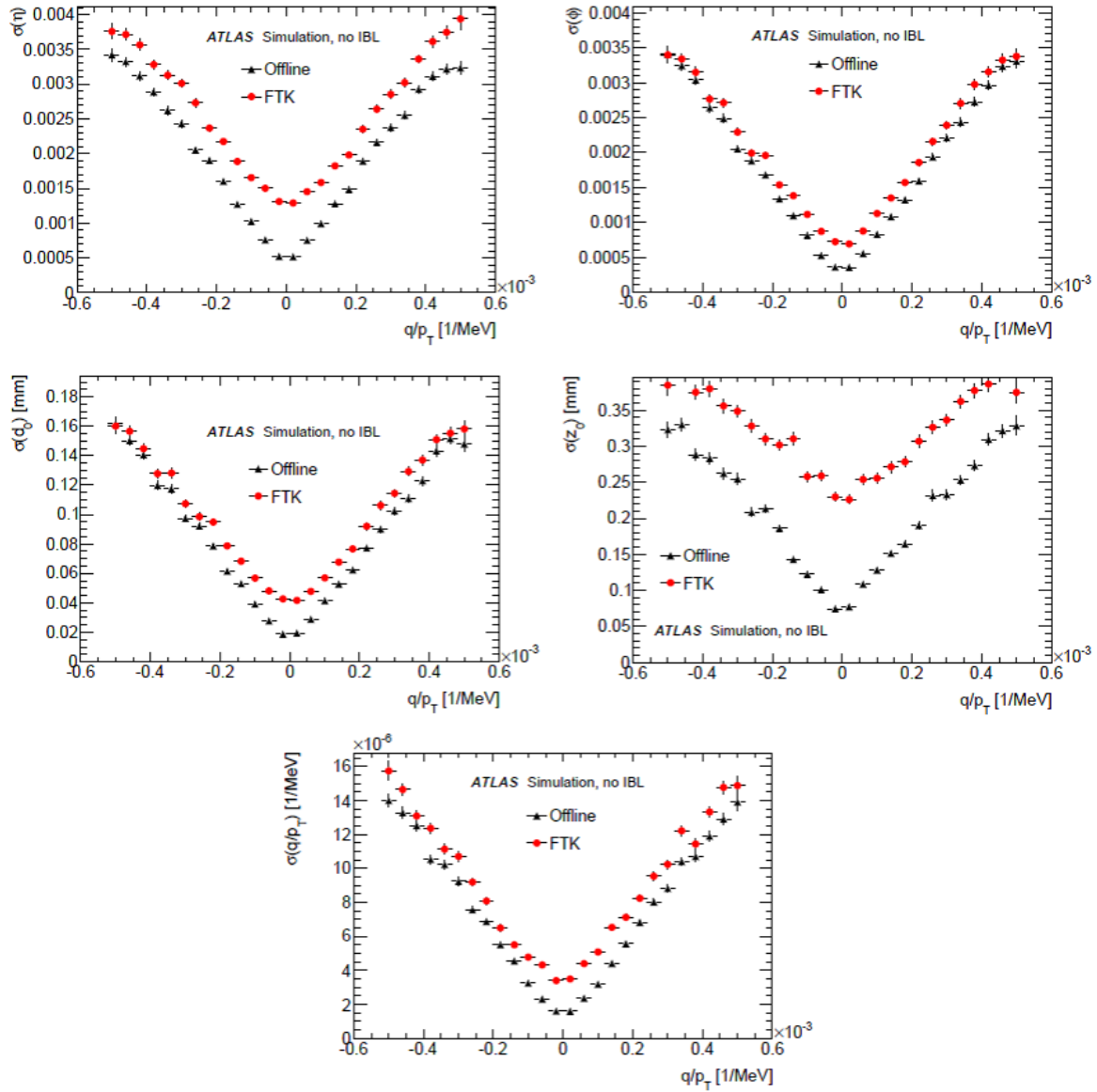


図 3.1 FTK による飛跡情報とオフラインの分解能の比較 [6]

ことがわかる。

このような高い質をもつ飛跡情報が高速に再構成されるため、Level 2 以降のトリガーシステムでこれらの飛跡情報を用いることにより、現行よりもオフラインに近い洗練されたアルゴリズムを使うことが可能になる。特に FTK の飛跡情報を用いて衝突点を再構成することができれば、事象中の粒子一つ一つの発生点を知ることができ、どのような物理においても非常に強力な情報を得ることができる。特に pile-up 由来の粒子の衝突点がわかれば、そのような粒子を取り除いて興味のある粒子を効率的に捉えることができるし、



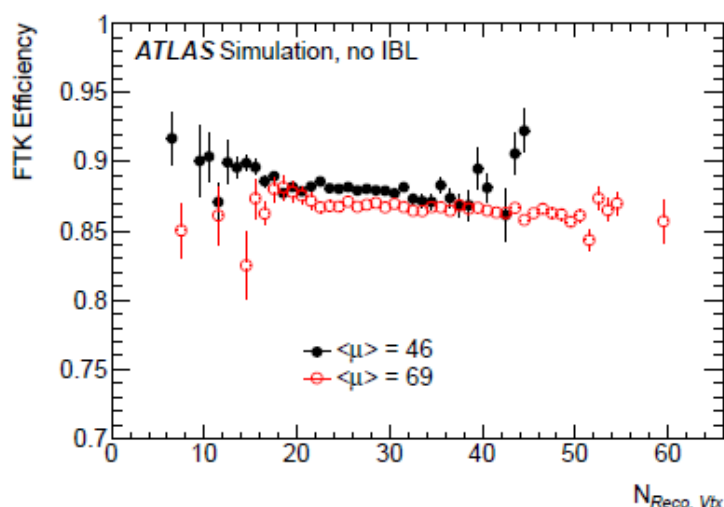


図 3.2 衝突点の個数と FTK の飛跡再構成効率 [6]

第 3 世代の  $\tau$  粒子や  $b$  粒子といった、飛跡や衝突点に大きな特徴を持つ粒子の同定に効果的である。

このような FTK の物理への応用も様々な研究が進められている。例えば、衝突点再構成については、FTK 飛跡を入力としてオフラインアルゴリズムを適用したものが図 3.3 に示すような結果となる。

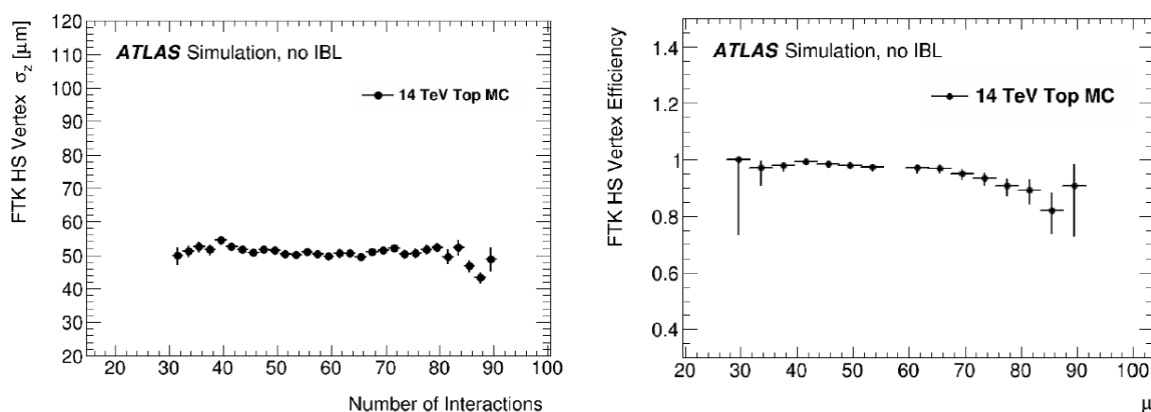


図 3.3 FTK 飛跡情報を用いたオフラインアルゴリズムによる衝突点再構成 [6]

これは、FTK の飛跡情報を用いた高速な衝突点再構成アルゴリズムが開発中であるため、オフラインアルゴリズムによって評価したものである。この結果から、FTK の飛跡情報を用いた場合でも衝突点の再構成は高い精度・効率で行えることがわかる。ただし、オフラインアルゴリズムでは処理時間が非常に長いため、オンラインで使えるような高速な

アルゴリズムが開発中である。

### 3.3 FTK 全体像

FTK は ATLAS のシリコン飛跡検出器である Pixel 検出器と SCT 検出器の情報を入力として, Level 1 を通過した事象について数十  $\mu$  秒の時間内で横運動量 1 GeV/c 以上の全飛跡を再構成する。Pixel 検出器は Phase-0 Upgrade で挿入される IBL を含めた 4 層, SCT 検出器は 2 枚対 (stereo, axial) が 4 層の計 8 層あり, FTK への入力としてはシリコン飛跡検出器 12 層分のヒット情報がある。

検出器側の読み出し部の最後にある Read Out Driver (ROD) からこれらのヒット情報を受け取り, FTK によって高速に粒子の飛跡が再構成されて Read Out Systems (ROS) へと送られ, その後 Level 2 への入力となる。FTK システム全体を図 3.4 に示す。

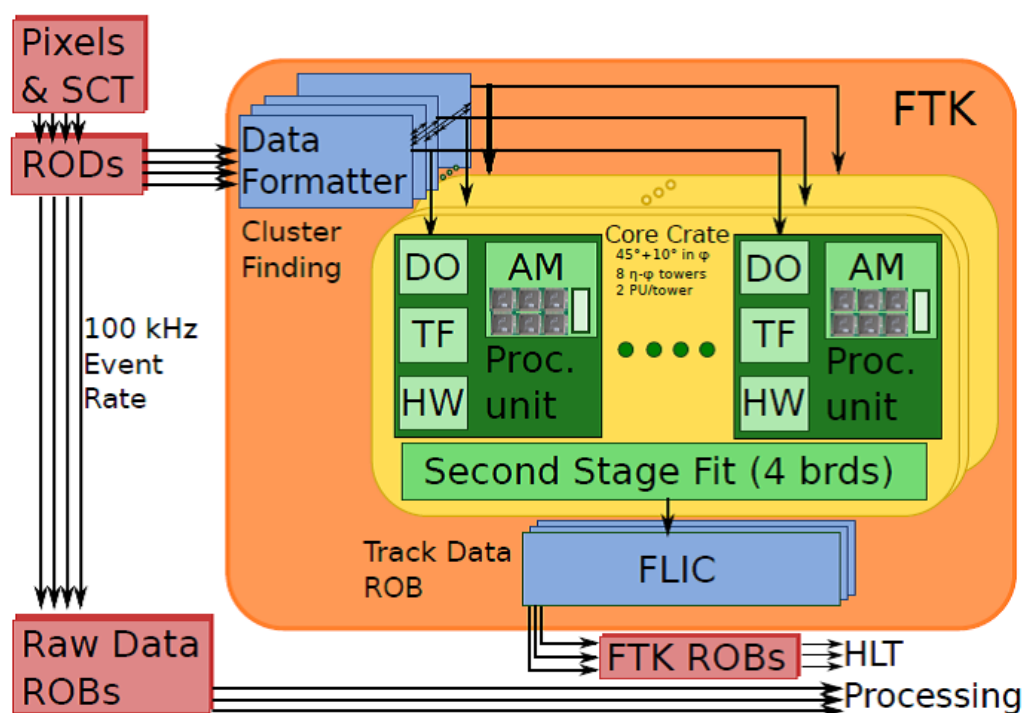


図 3.4 FTK の全体像 [6]

FTK の最大の特徴は粒子の飛跡をトリガー段階で**高速**に再構成することであり, その実現のために, 専用のハードウェアを用いて処理を高度に並列化している。この「処理」とは, 飛跡検出器のヒット情報の中から粒子の飛跡の候補を探し出してその飛跡の飛跡パラメータを計算し, Level 2 以降へ渡すべき情報かどうかその質を評価することである。

飛跡再構成の処理は現状の Level 2 でのトラッキングがそうであるように非常に複雑で時間のかかるものである。飛跡検出器からのヒット情報自体は、それが事象中の粒子の通過点であること以上の意味をもたず、どの粒子がどのヒットに対応するのかはわからない。したがって、数多くのヒット情報のなかから粒子の飛跡と思われるヒットの集まりを見つけて、それらのヒットから飛跡パラメータを算出する必要がある。このときに問題になるのが、いくつかのヒットを組み合わせて粒子の飛跡を見つける組み合わせの数であり、これは検出器の層の数だけ積で増加するため、非常に大きい数になる。また、このような飛跡のパターン認識の後に、そのパターンから飛跡パラメータを算出するのに時間がかかってしまうことも問題である。

### 3.4 FTK の動作原理

FTK ではこのような問題を解決するために、まずパターン認識専用のハードウェアである Associative Memory (AM) システムを導入し、これを中心とした並列処理を行うことで高速な飛跡再構成を実現する。AM にはあらかじめシミュレーションによって用意された粗い飛跡パターンが記録されており、ヒット情報が入力されるとそれに対応した飛跡パターンを出力する。この動作はビンゴゲームに例えることができ、入力であるヒット情報がビンゴの番号である。番号通りに穴を開けていき、最終的に穴が粒子の飛跡パターンになればそれを出力するという仕組みである。こうして出力された粗い飛跡パターンについて、その中に格納されているヒット情報を使って線形 1 次近似により飛跡パラメータを算出する。この仕組みのイメージを図 3.5 に示す。

### 3.5 FTK ハードウェア

FTK は役割ごとに分割されたハードウェアの集合体である。本小節では、FTK の各ハードウェアを解説する。

#### 3.5.1 Dual Output HOLA

Dual Output HOLA (図 3.7) はシリコン飛跡検出の Read Out Driver(ROD) に搭載されている HOLA (high-speed Optical Link for ATLAS, 図 3.6) に替わり、ROS と FTK 用に 2 つの S-Link 出力が可能なモジュールである。

シリコン飛跡検出器の ROD は Level 1 トリガーを通過した事象のヒット情報を ROS に送る。このとき、HOLA (High-speed Optical Link for ATLAS) は ROD からのパラ

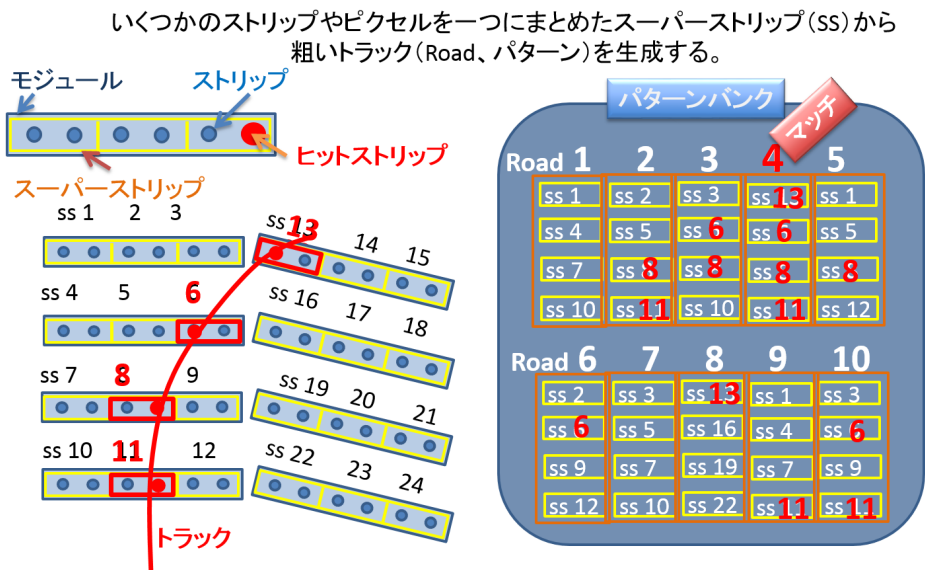


図 3.5 FTK のパターン認識のイメージ [10]

レルデータ (32 ビット, 40MHz) を受け取り, SerDes (Serializer - Deserializer) により高速なシリアルデータに変換して, S-Link 出力を行う。

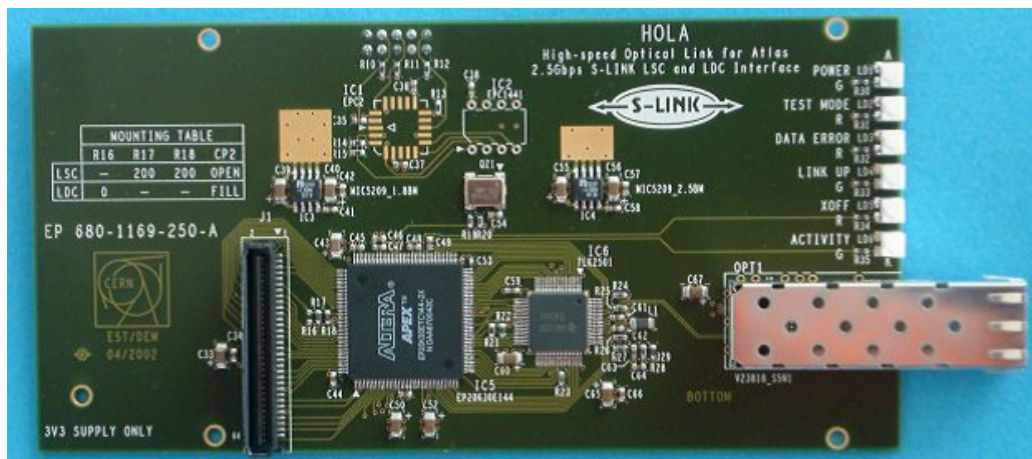


図 3.6 HOLA[9]

Dual Output HOLA は図 3.8 に示すように S-Link 受信モジュールからの制御信号の扱い方が元の HOLA とは異なる。ROS 用のチャンネルでは S-Link のプロトコルをすべて実装しているのに対し, FTK 用のチャンネルでは XON/XOFF のみを実装し, データ転送を行うか止めるかの制御のみを行うようになっている。これは, FTK システムを実

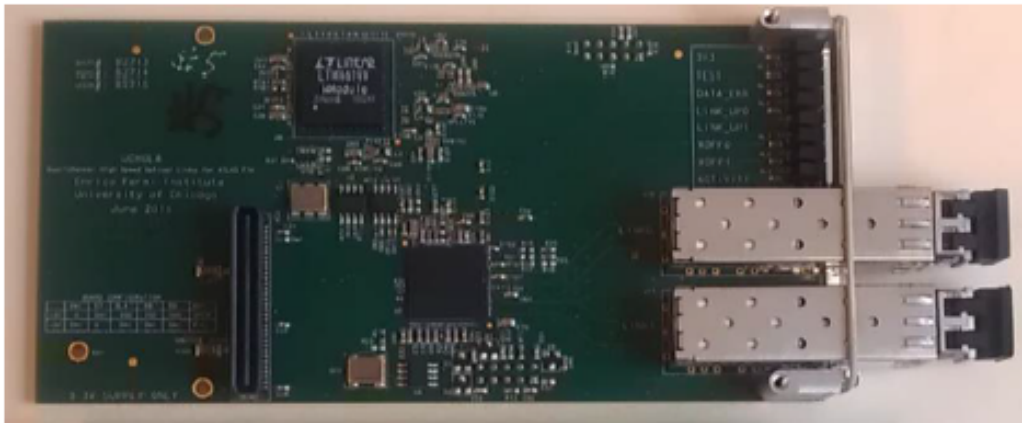


図 3.7 Dual Output HOLA[6]

際の ATLAS のランの最中にランには干渉せずに挿入するために必要である。特に, FTK システムはその  $\eta - \phi$  のカバー率や処理モジュールの数を挿入後も段階的に増強するため, ROD に取り付ける Dual Output HOLA の段階でこのような機能をもっていることが重要である。

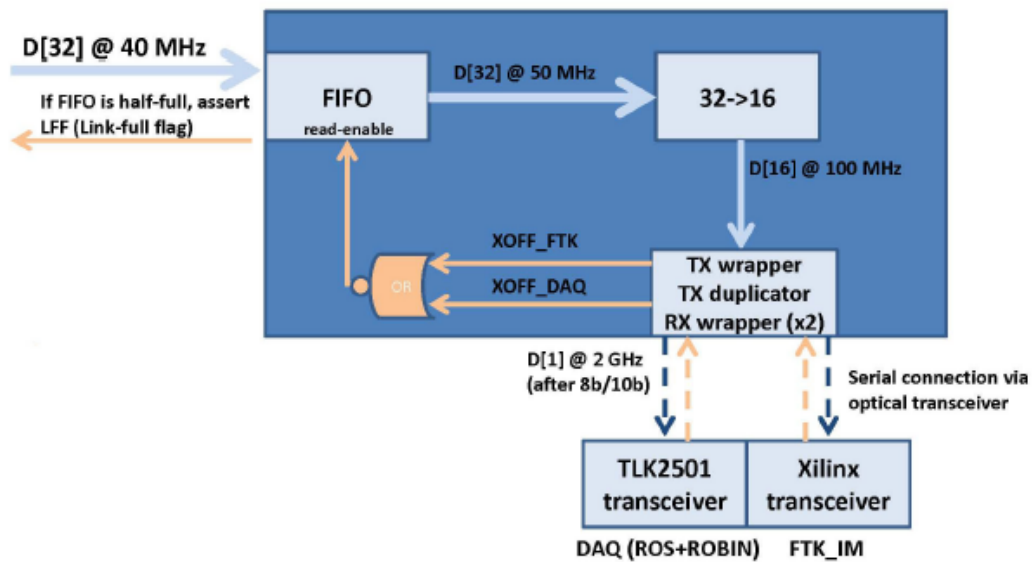


図 3.8 Dual Output HOLA のブロック図 [6]



### 3.5.2 FTK Input Mezzanine

FTK Input Mezzanine は本論文の中心となる FTK の受信モジュールである。FTK ハードウェアとしては検出器側の Dual Output HOLA がシステム全体のデータフローの中では最上流であるが、FTK 側としてはこの Input Mezzanine がシステム最上流といえる。図 3.9 および図 3.10 に Input Mezzanine ボードを示す。

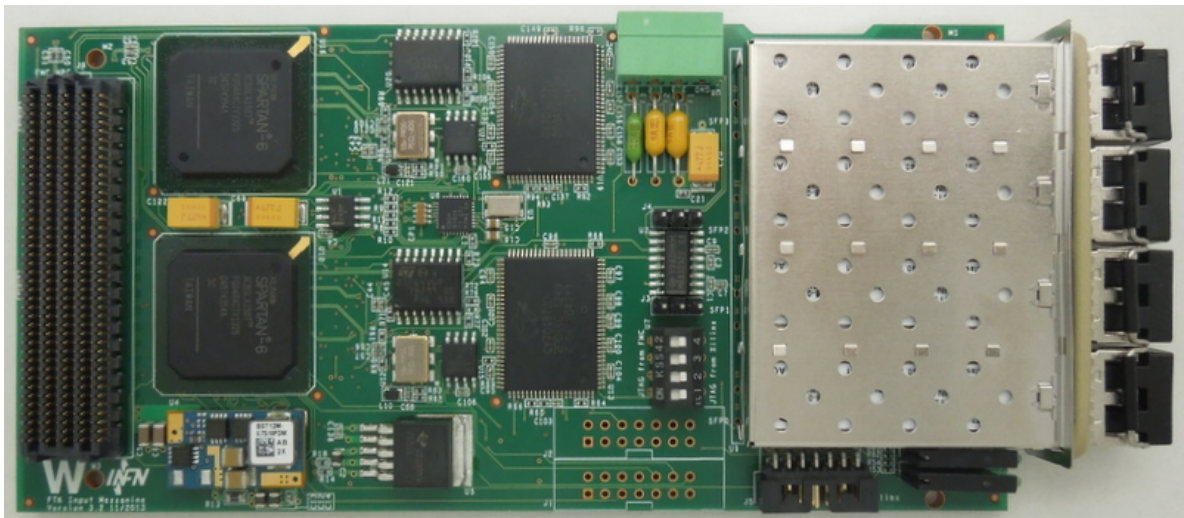


図 3.9 FTK Input Mezzanine ボード部品面

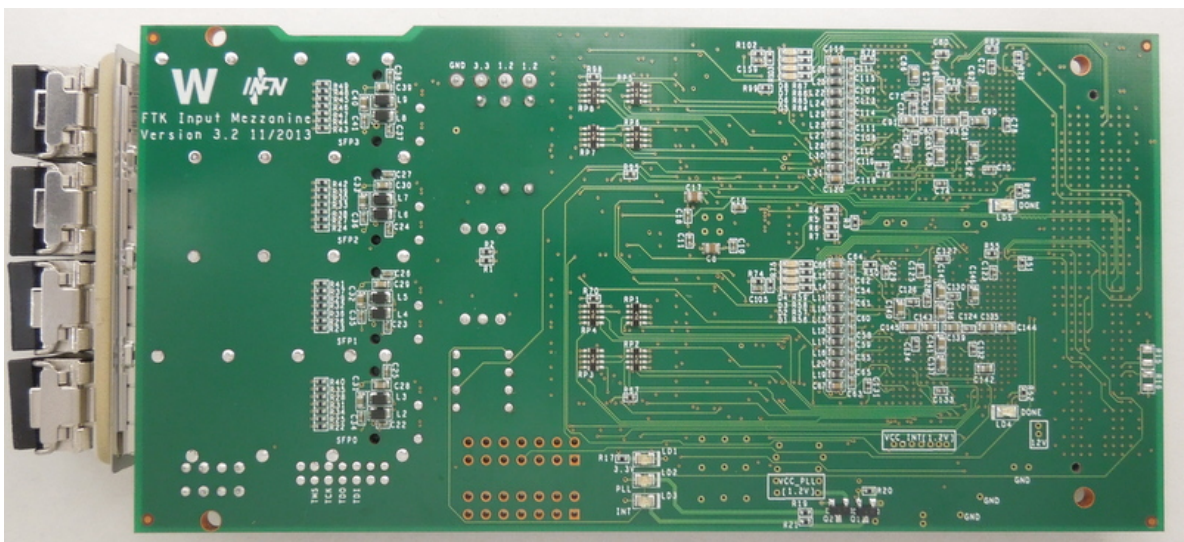


図 3.10 FTK Input Mezzanine ボード裏面

Input Mezzanine は 4 つの SFP ポートでシリコン飛跡検出器の ROD からのヒット情報を S-Link により受信する。2 つの FPGA (Xilinx 社 Spartan6 XC6SLX150T-3FGG484) を搭載し、それぞれの FPGA が Pixel, SCT のクラスター化の処理を 1 チャンネルずつ担当するため、上下 2 つの FPGA はまったく同一のファームウェアで動作することができる。また、図 3.9 左端にある FMC (FPGA Mezzanine Card) コネクタによってマザーボードである Data Formatter と接続する。

Input Mezzanine の FPGA で行うクラスター化の処理は図 3.11 に示すように SCT 検出器のヒット情報についてはストリップをまたぐ向きに ( $\phi$  方向のみ) 行い、Pixel 検出器のヒット情報については 2 次元の位置情報と ToT (Time Over Threshold) があるため、ToT で重みを付けた 2 次元の重心をクラスター中心とする。

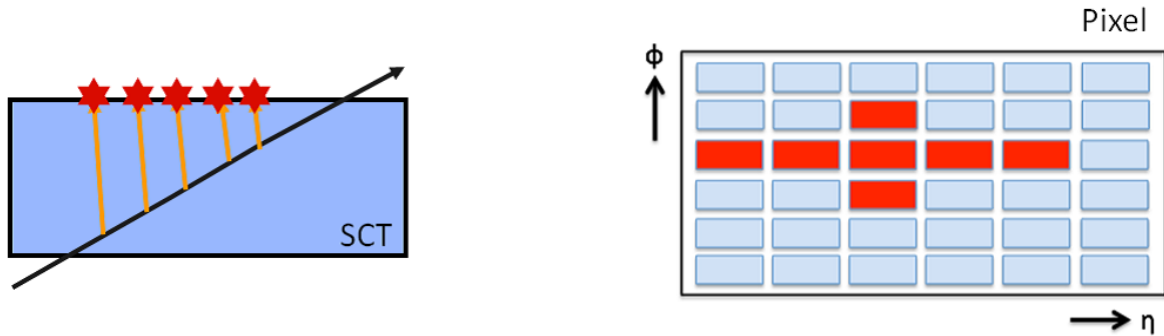


図 3.11 Input Mezzanine で行うヒットのクラスター化アルゴリズム

このクラスター化の処理によって、一つ一つのヒット情報を扱う必要がなくなり、後段のシステムではクラスター中心をヒット情報として用いることによりデータ量を減らすことができる。SCT 検出器のヒット情報は、検出器からの出力の時点である程度クラスター化されているため、Input Mezzanine でのクラスター化の効果はそれほど高くないが、Pixel 検出器のヒット情報は検出器から一つ一つ出力されるため情報量が多く、Input Mezzanine でのクラスター化により平均でデータ量が  $1/2 \sim 1/3$  程度になることが予想される。

### 3.5.3 Data Formatter

Data Formatter (図 3.12) は ATCA (Advanced Telecommunication Computing Architecture) 規格で実装される Input Mezzanine のマザーボードである。4 つの ATCA シェルフを用いて合計で 32 台の Data Formatter が実装され、Input Mezzanine から受信したヒット情報のクラスター中心を後段の各並列処理単位 (Processing Unit) に分配



する。

単純に分配するだけであれば処理は簡単であるが、実際の ATLAS シリコン飛跡検出器のジオメトリーから FTK の並列処理単位への分配は非常に複雑である。FTK の処理単位ごとに領域を区切ったときの ATLAS のシリコン飛跡検出器は図 3.13 のようになる。このとき、 $\eta$  方向にはビーム衝突点広がり（約 10cm）があり、 $\phi$  方向には磁場による粒子の飛跡の曲がり（ $P_T = 1\text{GeV}$  の荷電粒子でおよそ 10 度）があるため、これらを考慮すると各領域の境目にかかる粒子の飛跡もとらえるためには各領域が互いに重複領域を持っている必要がある。したがって、Data Formatter におけるクラスター中心の分配も単純に各領域に振り分けるだけではなくこうした重複領域における分配も含んでいる。

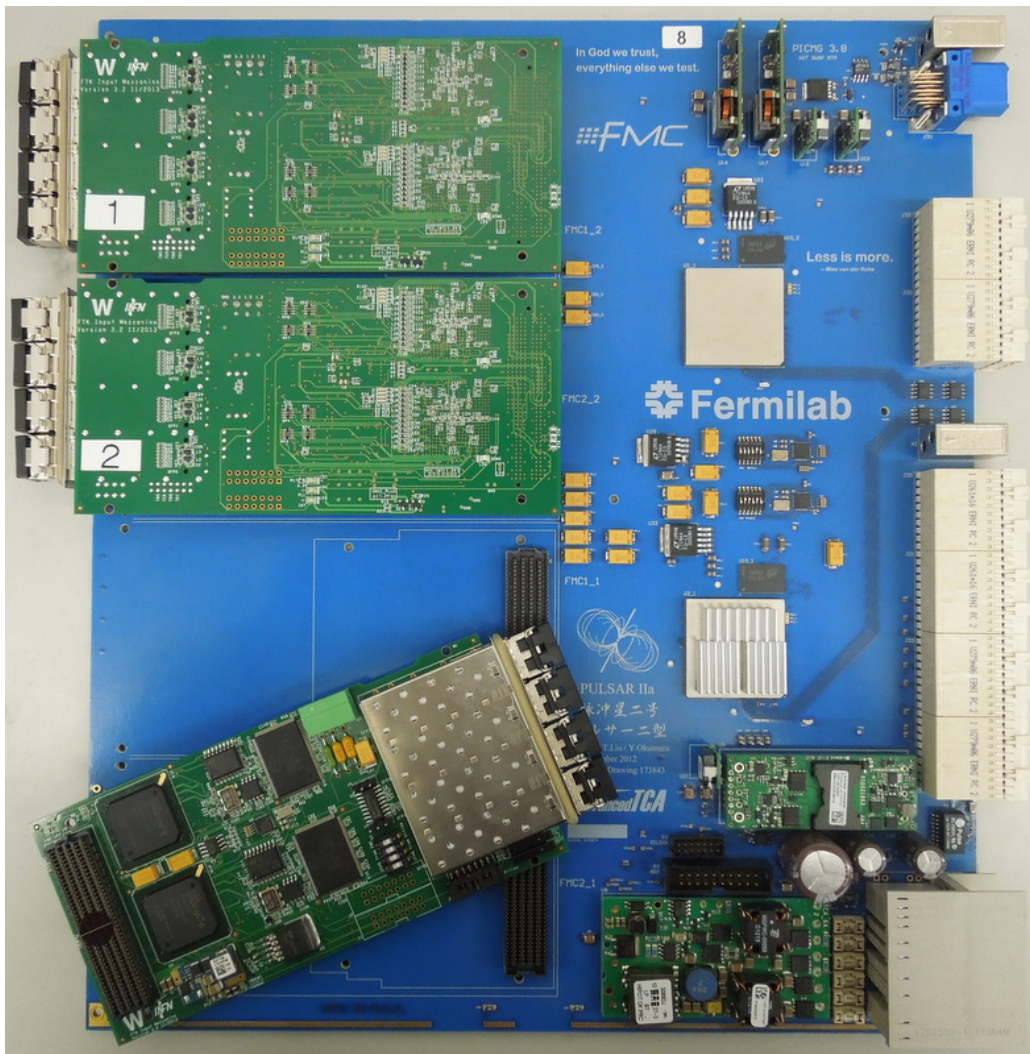


図 3.12 Data Formatter と Input Mezzanine

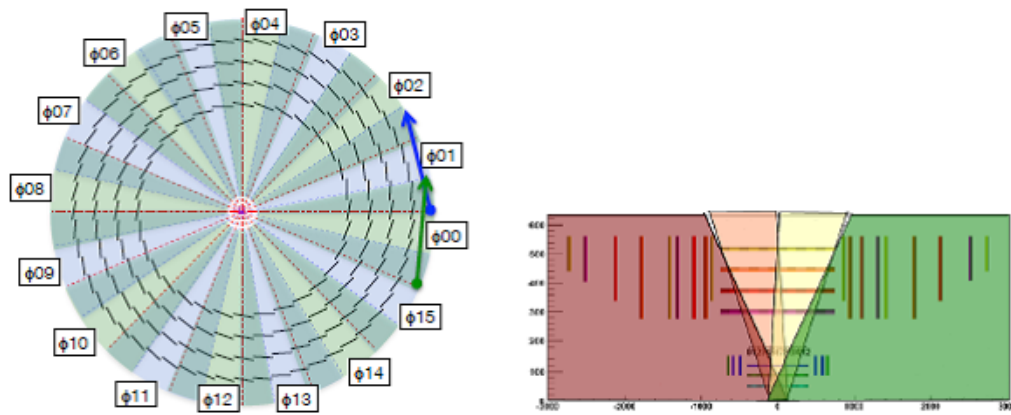


図 3.13 シリコン飛跡検出器を FTK 用の領域に区切った場合 [6]

図 3.14 に示すように, Data Formatter には 2 つの FPGA (Xilinx 社 Kintex-7 FPGA, XC7K325T) が搭載されていて 1 つの FPGA が 1 つの FTK 領域を担当するように設計されている. 32 台の Data Formatter に搭載される計 64 個の FPGA 1 つ 1 つが 64 個の処理単位に対応する FTK 領域を担当し, それらが互いに ATCA のバックプレーンやシェルフ間の通信によって直接接続されており, 重複分配を含む非常に複雑な処理を高速にかつ堅牢性を保ちつつ行うことができる.

#### 3.5.4 AUX card

FTK の飛跡処理は Core Crate 内の Processor Unit (PU) と呼ばれる単位で行われる. それぞれの PU は後述の Associative Memory ボードとそれに付随する AUX ボードによって構成される.

AUX ボードのブロックダイアグラムを図 3.15 に示す.

Data Formatter から送られたヒット情報は 2 つの QSFP(Quad SFP) コネクタを介して AUX ボードに伝えられる. 2 つの QSFP にある 8 本の光ファイバーのそれぞれの 1 本がシリコン飛跡検出器の 1 層に対応する. この光ファイバーからのヒット情報を Input FPGA で受信する. Input FPGA では, 受信したヒット情報に対応する Super Strip (SS) ID を発行し, VME P3 コネクタを介して AM ボードへと送る. また, この SSID と full resolution でのヒット座標 (Input Mezzanine で行われたクラスター化されたヒット情報の中心座標) は 4 つある Processor FPGA へと送られる.

それぞれの Processor FPGA には Data Organizer (DO) と Track Fitter (TF) の機能が実装されていて, それぞれが AM ボードの 4 分の 1 (4 つある LAMB (Local

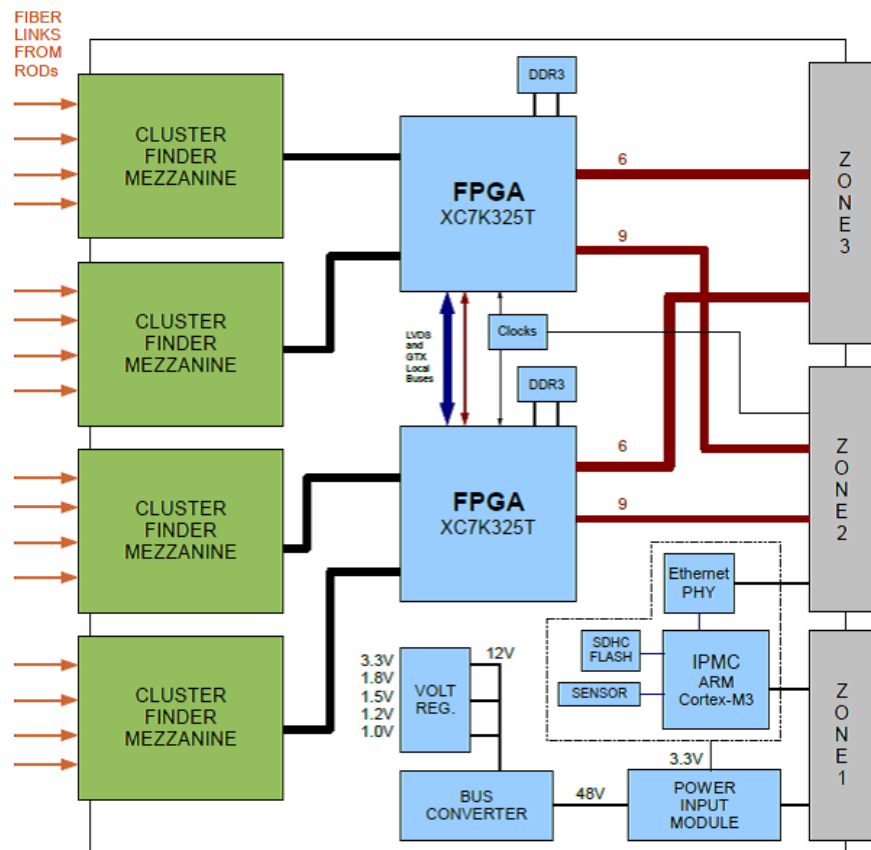


図 3.14 Data Formatter のブロックダイアグラム [6]

Assosiative Memory Board) の一つ一つに対応) とやりとりを行う。AM ボードによるパターン認識の結果, 少なくとも 7 つ以上のシリコン飛跡検出器のヒットを持つパターンはロードとして認められる。このようなロードのパターンアドレスは VME の P3 コネクタを介して AM ボードから Processor FPGA へと送られ, そのロードに対応するヒット情報を用いてトラックのフィットを行う。  $\chi^2$  検定によるクオリティーカットに合格したトラックは Input FPGA へと送られて, Input FPGA に実装されている Hit Warrior (HW) 機能により重複トラックが除かれる。最終的に残ったトラックが FTK の first stage の全過程を通過したものであり, シリコン飛跡検出器の残りの層の情報も用いたトラックとして再構成するために SFP+ コネクタから光ファバーを介して Second Stage ボードへと送られる。

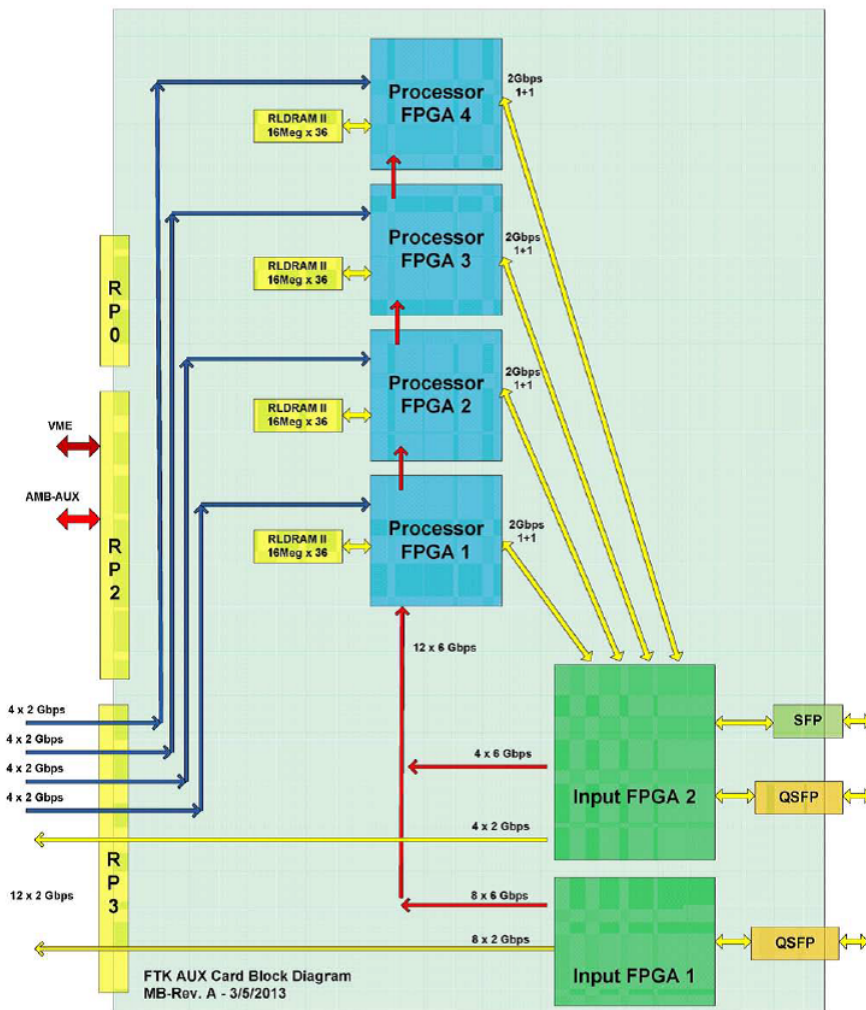


図 3.15 AUX ボードのブロックダイアグラム [6]

### 3.5.5 Associative Memory

Associative Memory (AM) はシリコン飛跡検出器のヒット情報を入力として、あらかじめ記憶している飛跡パターンとのパターン認識を行う。この AM システムは、AM chip と呼ばれる専用の ASIC を用いて膨大な量のパターン認識を高度に並列処理することで実現する。AM システムは 9U VME のマザーボードである AM ボードとその上に mezzanine ボードとして 4 つ実装され、AM chip を持つ Local Associative Memory Board (LAMB) から構成される。AM ボードのレイアウト及び LAMB のレイアウトをそれぞれ図 3.16, 図 3.17 に示す。この中の黄色い四角で示される部分に LAMB が実装される。



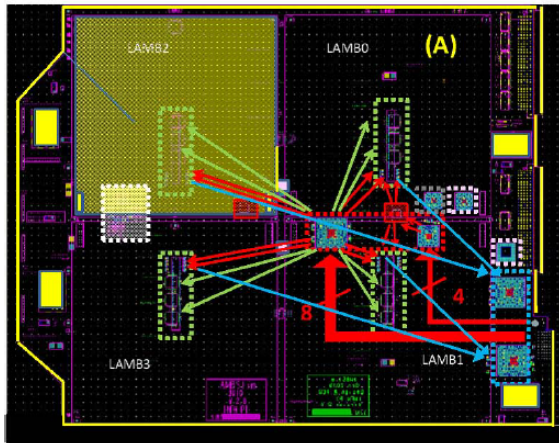


図 3.16 AM ボードのレイアウト [6]

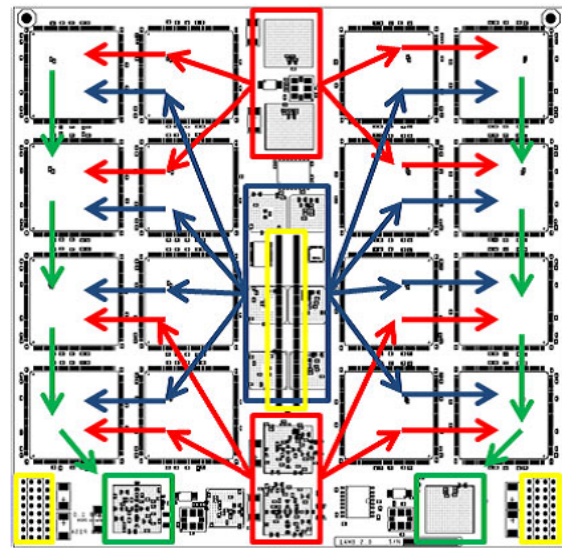


図 3.17 LAMB のレイアウト [6]

AM ボードは VME P3 コネクタを介して AUX ボードからシリコン飛跡検出器のヒット情報や SSID を受け取り、それぞれの LAMB へ分配する。LAMB mezzanine ボードは 1 台あたり片面 16 個ずつ両面で合計 32 個の AM chip が実装される。

シリコン飛跡検出器のヒット情報は 8 層に対応した 8 本のバスの状態で LAMB に伝えられる。これが LAMB 上の FPGA によって 32 個の AM chip に分配される。そして AM chip では図 3.18 に示すように各層のヒット情報が一斉にパターン認識される。

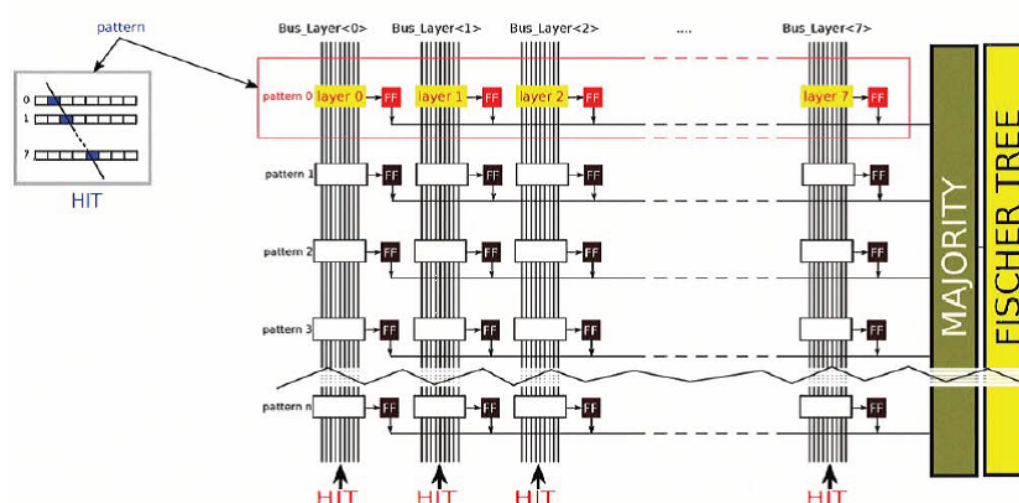


図 3.18 AM chip の機能 [6]

あらかじめ用意されているヒットパターンが一つ一つのブロックに保存されていて、各層に対応したヒット情報とそのブロックに保存されているヒットパターンが同じであるかどうかを各ブロックがヒット情報の入力と同時に判断する。7層以上のヒット情報がヒットパターンと一致した場合をパターンがマッチしたとする。

### 3.5.6 Second Stage Board

Second Stage Board (SSB) では AUX ボードによって再構成された first stage のトラック情報と Data Formatter から送られてくる残りの層のヒット情報が合流する。この残りの層の情報により高輝度環境下で多く存在するフェイクトラックを取り除く。また、12層すべてのシリコン飛跡検出器の情報を使うことで、最終的な飛跡パラメータの分解能を向上させることができる。

各 SSB は Rear Transition Module を介して、4つの AUX ボードの出力とそれに対応する2つの  $\eta-\phi$  タワー分の残りの層のヒット情報を Data Formatter から受信する。そして、重複するトラックを取り除き、1つの Core Crate の出力をすべて合わせて RTM の光ファイバーにより次に述べる FTK to Level 2 Crate (FLIC) に送る。

これらの SSB の機能を図 3.19 に示す。

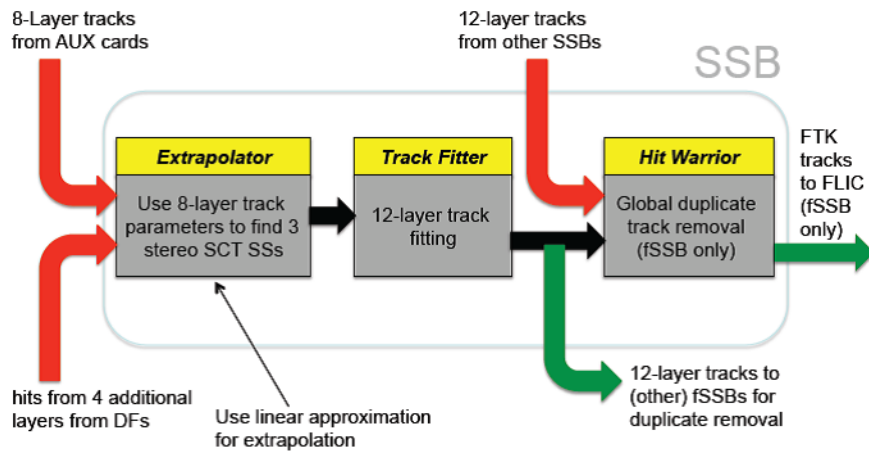


図 3.19 Second Stage Board の機能 [6]

### 3.5.7 FTK to Level 2 Crate (FLIC)

FLIC は FTK のデータフローの最下流に位置し、FTK のすべてのトラック情報が集まる点である。SSB の出力を受信し、ATLAS の ROD フォーマットヘデータを変換し、ROS へと送信する。FLIC のブロックダイアグラムを図 3.20 に、またボードの外観を図

3.21 にそれぞれ示す。

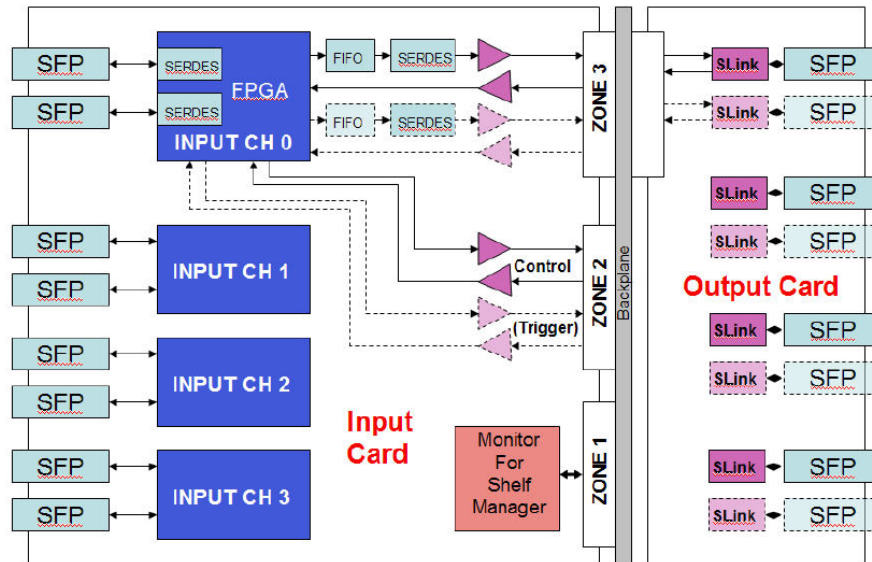


図 3.20 FLIC のブロックダイアグラム [6]

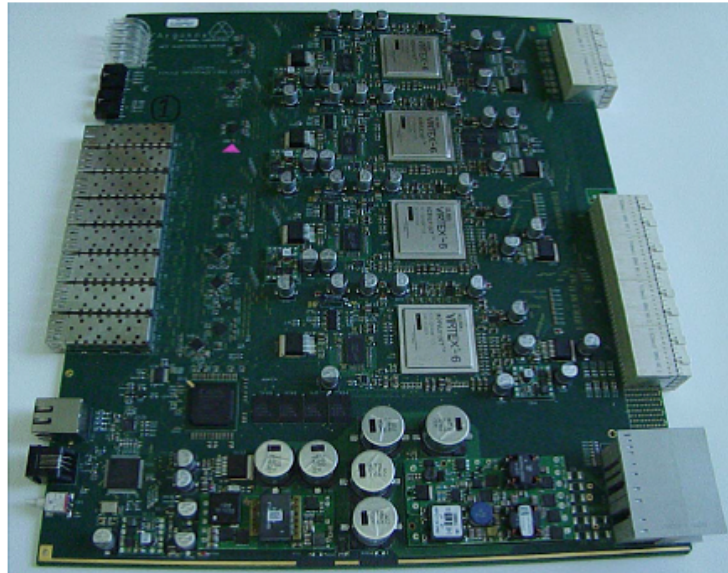


図 3.21 FLIC ボード外観 [6]

FLIC は Data Formatter と同様に ATCA 規格で実装される。ただしバックプレーンは full-mesh ではなく dual-star 構造である。Input Card の SFP により Core Crate からのデータを受信し、FPGA で処理を行って ATCA Zone 3 コネクタにより RTM ヘッダー



タを送信する。

現在の開発段階では FLIC での処理は ATLAS ROD フォーマットへのデータ変換のみであるが、将来的に FLIC において衝突点の再構成やビームスポットの決定などの処理を行うことも可能である。特に ATCA 規格を用いていることから、FTK の全飛跡情報を 1 台の ATCA shelf に集約して扱うことができるため、事象全体を利用した処理が可能である。

## 4 エレクトロニクスの基礎

論理回路では、すべての情報は“0”か“1”<sup>\*1</sup>で表される。どんなに莫大な量の情報でも0か1のビットの集まりで構成されており、また、複雑な機能を実現するための回路も基本的な論理回路素子の組み合わせで成り立っている。

さらに、様々な回路を使って情報を扱い、ハードウェアシステムとして機能するためには回路間での信号伝送が高速かつ安定的に行われる必要があるが、信号伝送の方法や媒体としては様々な種類があり、目的や環境によって使い分けられる。例えば、導線を使って電圧が高い状態と低い状態でビットを表現したり、光信号によって光っている状態と光っていない状態をビットとしたりすることができる。

本節では、デジタル回路における電気信号を扱い、特にFPGAやプリント基板(Printed Circuit Board; PCB)での信号伝送に注目して議論する。

### 4.1 信号伝送

電気信号を伝えるためには、電気を通す導線が必要であるが、単純に導線があるからといって常にあらゆる電気信号が正しく伝わるとは限らない。電気信号は電流とは違い、導線の中を波として伝わる。そのため、一般に電流は伝わるのが非常に遅いとされているが電気信号という情報自体は光速に近い速さで伝わる。このとき、この電気信号が伝わる信号線の質や条件が良くないと信号が反射したり、ほかの信号から影響を受けてしまったりする。つまり、信号線は単につながっていればよいというものではなく、むしろ信号を伝えるための信号線が信号伝送を妨げてしまわないように注意を要するものである。

信号線について議論するためには、信号線の「特性インピーダンス」という量を定義する必要がある。

この特性インピーダンスという量は次元が電気抵抗 $\Omega$ と同じであり、実際に信号線の特性インピーダンスの値がGNDと信号線の終端抵抗の値と異なると信号の反射の原因となる。

したがって、信号の反射を防ぐためにはその信号が伝わる経路すべてにおいて特性インピーダンスの整合がとれていることが欠かせない。

また、特性インピーダンスの整合がとれていても他の(近くにある)信号線からの影響

---

<sup>\*1</sup> この“0”と“1”は抽象的な意味合いで用いている。表記としては“L(ow)”と“H(igh)”など他にもある。論理的に“true”と“false”にあたる2つの状態が情報であるということが本質的である。

を受けてしまうこともある。どのような信号線であっても、他の信号線が近くにある場合にはそれらの間にはコンデンサやコイルの要素がある。

## 4.2 シングルエンド伝送と差動伝送

信号伝送には大きく分けると以下の2つがある：

- シングルエンド伝送 (Single-ended signaling)
- 差動伝送 (Differential signaling)

シングルエンド伝送は単純な伝送方式で、図 4.1 のように GND に対する信号線の電圧を 0 or 1 とみる。

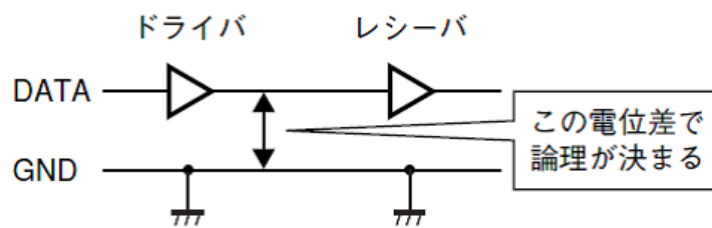


図 4.1 シングルエンド伝送 [19]

単純な方式であるため、回路や配線も小さい空間に配置することができるが、数十～数百 MHz 以上の高速な信号の伝送を行うとクロストークなどの影響により信号が正しく送れなくなるため、高速な信号の伝送には向かない。

これに対して差動伝送は図 4.2 のように 2 本の信号線を 1 対として伝送する方式で、GND に対する信号線の電圧を見る代わりに、2 本の信号線の間の電圧を見て、その 1 対が 0 であるか 1 を判断する。

2 本の信号線の間の電圧を信号として判断するため、外部からのノイズの影響で GND に対する信号線の電圧が一時的に変化しても差動対がもつ信号はその影響を受けない。また、図 4.3 のように差動対の間でそれぞれの信号線を通る電流の向きが逆であるため、それぞれの信号線が電磁誘導によって発生する磁場も差動対の中で打ち消される方向にはたらくため、他の信号線へのノイズの影響も少ない。

このような差動伝送の特徴により、シングルエンド伝送に比べて高速な信号伝送が可能になる。特に、PCI Express や Serial ATA などに代表される高速信号の規格も差動伝送を基礎につくられており、高速信号の伝送には欠かせない要素となっている。

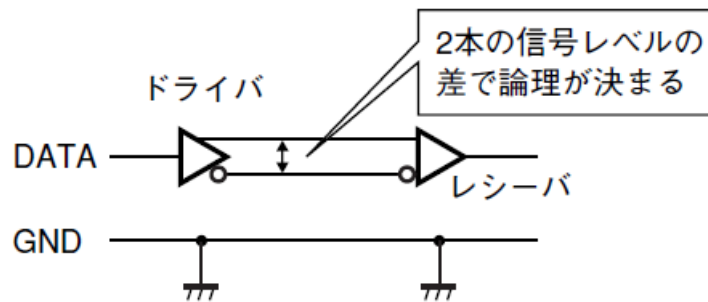


図 4.2 差動伝送 [19]

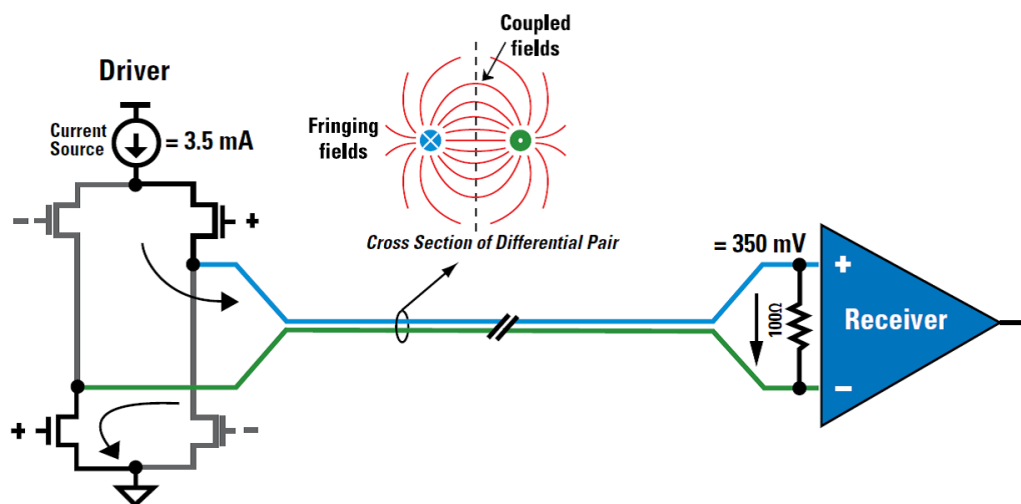


図 4.3 差動伝送の受信部と送信部 [12]

ただし、差動伝送には一つの信号を送るために 2 本の信号線が必要であり、送信部と受信部の回路もシングルエンド伝送と比較すると大きくなる。しかし、次に見る DDR (Double Data Rate) 方式を用いることで一つの差動対を用いて 2 ビットの信号を伝送することができるため、シングルエンド伝送と同様に 1 本の信号線当たり 1 ビットの情報を扱うことはできる。

また、信号線について一般的に言えることだが、差動伝送においても差動インピーダンスという量が定義できて、信号の質を保証するためには適切な差動インピーダンスを伝送線路上で保つことが重要である。差動インピーダンスは、単純なシングルエンド伝送線路の特性インピーダンスと同様の伝送線路の太さや厚さ、絶縁層の誘電率の他に差動対の間隔によって決まる。

### 4.3 SDR と DDR

データの送受信の方式にはシングルエンド伝送と差動伝送のような伝送線路の違いの他に、SDR (Single Data Rate) と DDR (Double Data Rate) のような信号線の中での信号の扱い方の違いもある。

同期信号においては、クロックの立ち上がりや立ち下りのタイミングで信号を判断する。SDR では図 4.4 のようにクロックの立ち上がりで信号を判断し、DDR では図 4.5 のようにクロックの立ち上がりと立ち下りの両方で信号を判断する。

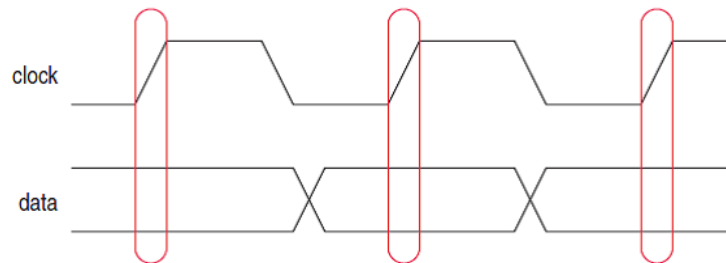


図 4.4 SDR (Single Data Rate) による信号伝送 [14]

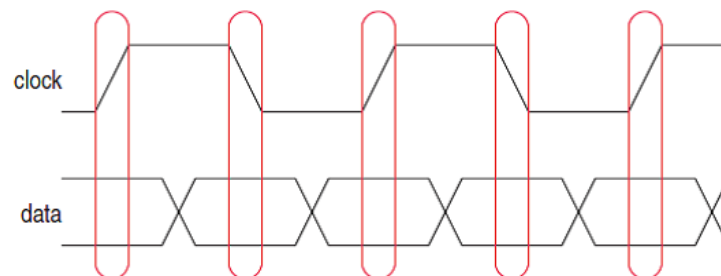


図 4.5 DDR (Double Data Rate) による信号伝送 [14]

DDR を用いると一つの信号線あたりで扱うことのできる信号量を SDR の 2 倍にすることができる。DDR は差動伝送と非常に相性がよく、差動伝送によって 1 信号線あたりの帯域が半分になるが DDR によってこれを 2 倍にすることにより信号線 1 本あたり 1 ビットの帯域を持たせることができる。

#### 4.4 シリアル接続とパラレル接続

データは通常 2 ビット以上のまとまった情報として存在する。例えば、文字情報も 1 バイトや 2 バイトといった複数のビットの集まりで構成される。一度にまとまったデータを扱うためには、必要なビット数分だけ線を用意しておけばよい。これがパラレル接続であり、必要な線は多くなるものの単純な回路で帯域を確保することができる。ただし、パラレル接続で高速な信号を扱うためには工夫が必要である。図に示すようにパラレル接続によって複数ビットの信号を扱うにはあるタイミングでそれらの複数本の信号線の信号を判断する際にすべての信号線における信号の足並みがそろっていることが重要である。もし 1 ビットでも信号が遅れたり早く来てしまったりすると、全体の信号は違うものになってしまう。これに対処するためには、パラレル接続に用いる伝送線路のそれぞれの経路長を揃えて、それぞれの伝送線路を信号が伝わるのにかかる時間を同じにすることや、ファームウェアの実装の段階で各信号線のタイミングを揃えること、あるいはタイミングがずれてしまう信号に適切な遅延をかけるなどの調整が必要である。特に、データ幅が広く信号が高速になるほどこの影響は大きくなり、あまりに影響が大きい場合はすべての信号線の足並みを揃えることができないことも考えられる。

また、扱うデータ幅と同じ数の信号線を用意できない場合でも、例えば 50MHz 32 ビットのデータを送るためには 200MHz 8 ビットのデータを 4 回送ることにはすることができる。もちろんこの場合は 4 回の通信で 1 つのデータを扱うということが送受信側双方で共通していることが必要である上、4 倍高速な信号を扱うことになるが、データ幅は 4 分の 1 になるため、伝送線路が高速な信号の伝送に耐えられるものであれば全体のスキューは縮まる傾向にある。

一方で、シリアル接続は 1 本（あるいは 1 対）の高速な信号線を用いて複数のデータを送る。差動伝送によって高速な信号の伝送に対応できていればパラレル接続にあるようなバスのスキューに対処するためのタイミング調整などは原理的には不要であり、8b/10b エンコーディングなどの符号化を用いることでクロックの情報を送ることができ、エラーがあった場合のデータの復元も可能である。

#### 4.5 ソース同期とシステム同期

デバイス間でデータのやりとりをする際に、お互いのデバイスがどのようなクロックで信号を判断するのかにも 2 つの方法がある。



システム同期は図 4.6 に示すように、データの送信側と受信側で同一のクロックをもとにして信号を扱う。この方式は単純であり、データの伝送に用いる配線もデータ幅に対応した最小限の本数で足りるため比較的低速なデータの伝送には適している。

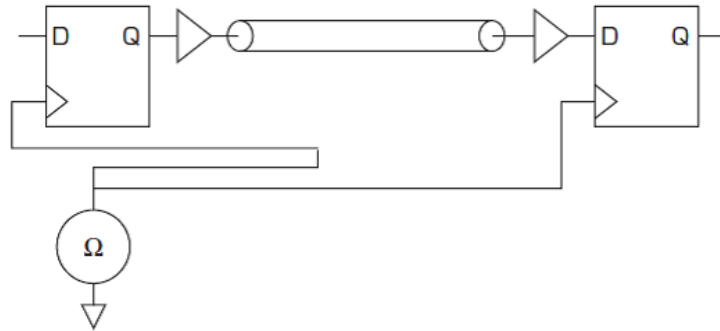


図 4.6 システム同期によるデータの送受信 [13]

一方で、高速なデータの伝送においては送信側から受信側までの伝送線路やデバイス内部でのロジックから送受信回路までの信号の伝達にかかる時間が信号やクロックの周期に比べて無視できない量になる。このような場合には、送信側のデバイスがデータとともにそのデータに対応するクロックを受信側に送る方式であるソース同期方式を用いる。図 4.7 にソース同期方式によるデータの伝送を示す。

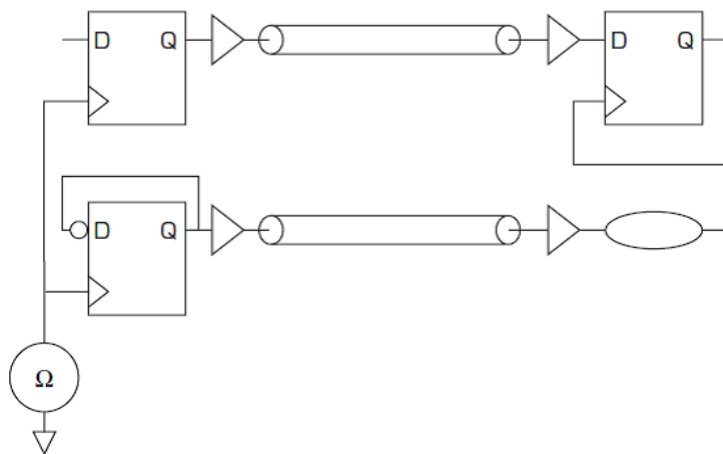


図 4.7 ソース同期によるデータの送受信 [13]

ソース同期方式では、データとともにクロックも送信するためデータ幅とクロック伝送用の分の配線が必要になるが、受信側ではデータに対応したクロックを用いて信号を判断することができるため、高速な信号の伝送においても正しいタイミングでデータを評価で

きる。

## 4.6 FPGA

FPGA (Field Programmable Gate Array) は書き換え可能な回路で構成されるデバイスである。ハードウェア記述言語 (Hardware Description Language; HDL) によって記述され論理合成されたファームウェアをインストールすることによって様々な目的に応じた回路を実現することができる。

FPGA に代表されるプログラム可能なデバイス (Programmable Logic Device; PLD) と対になるデバイスとして ASIC (Application Specific Integrated Circuit) がある。ASIC は PLD とは異なり、回路を書き換えることはできず、ある目的に特化した回路を提供するデバイスである。一般に ASIC は大量生産時に PDL と比べて安価に入手することができる。そのため、FTK ハードウェアはそのほとんどが FPGA によって構成されるが、Associative Memory チップは大量に実装する必要があるため専用の ASIC を設計・開発している。

本小節では、FTK 受信モジュールやマザーボードひいては AM 以外の FTK ハードウェア全体で多く用いられている FPGA やそのファームウェア開発に必要な知識をまとめる。

### 4.6.1 FPGA の構造と原理

FPGA の中には論理回路を構成するための回路要素とそれらの間の接続を制御するための LUT (LookUp Table) がある。この LUT に HDL によって開発されたファームウェアの情報が書かれることによってデバイスとしての目的の回路を実現する。そのため、別のファームウェアを開発して FPGA にインストールすることによって回路を書き換えることができる。

FPGA はバンクと呼ばれる単位で機能や特徴ごとに区切られている。例えば、FTK 受信モジュールで使用している Xilinx 社 Spartan6 LX150T (FGG484) は図 4.8 に示すような構造をしている。

この FPGA にはバンク 0, 1, 2, 3, 101, 123 がある。これらの間の違いとしては、例えばバンク 0 と 2 は差動伝送による信号の出力が可能であるが、バンク 1 と 3 は入力のみ可能であることやバンク 101 と 123 は GTP バンクと呼ばれ、ギガビット級の信号を扱うための専用回路が組み込まれていることなどがある。したがって、FPGA がファームウェアによって書き換え可能なデバイスとはいえ、基板設計の段階で FPGA の配線が正しく

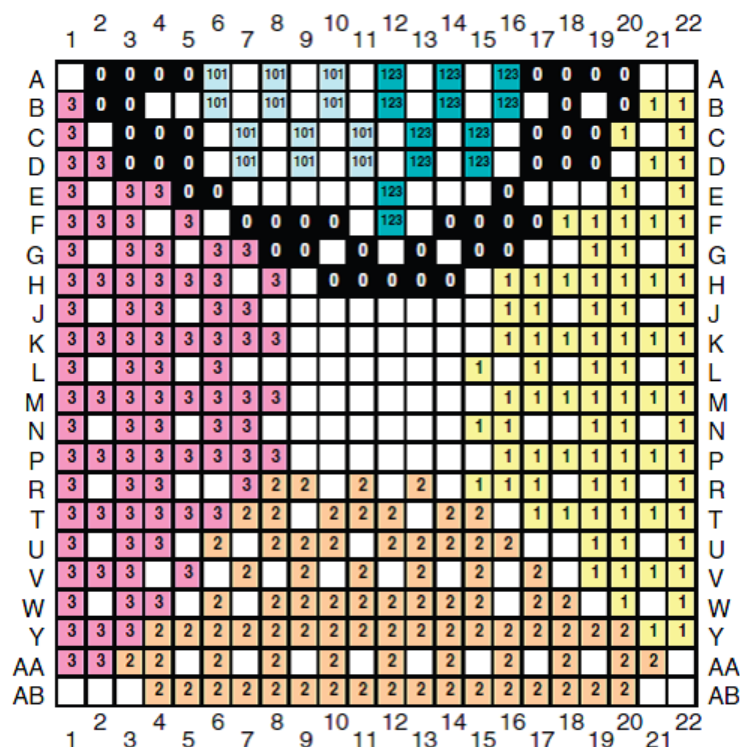
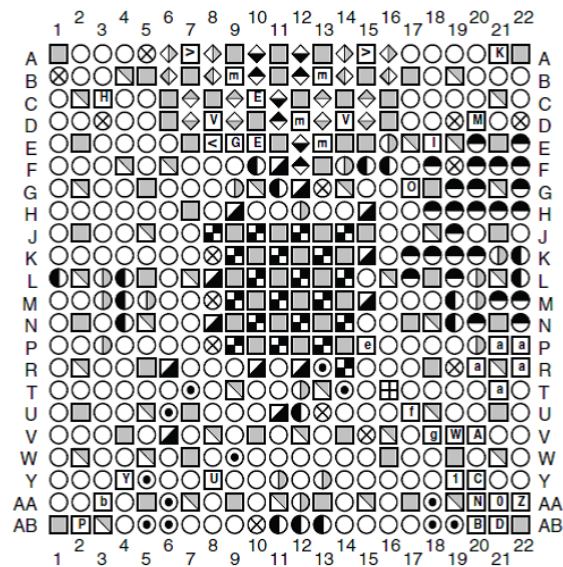


図 4.8 Spartan6 FPGA のバンク構造 [15]

行われていないと必要な機能を実現することができないため、設計時には FPGA のバンク構造や図 4.9 に示すようなそれぞれのピンの機能や意味を理解しておくことが重要である。

例えば電源や GND として割り当てられているピンは正しく接続されていないとショートの原因になり、FPGA やその他部品の破損の原因となる。GTP バンクは専用のバンクとしてまとまって存在しているため、その他のピンとは物理的な配置で分けられているが、GTP 以外の特殊なピンは通常のバンクの中に混在しているため、正しく接続するように注意が必要である。例えば、GCLK というピンはクロック入力に対応したピンであり、FPGA の動作クロックやソース同期方式の伝送で送られたクロックを受信して FPGA の内部のロジックで使用するために必要である。この他にも、JTAG や設定用のピンやファームウェアがインストールできたことを示す DONE ピンなども通常のバンクに混ざっていて、設定によってはファームウェアのインストール方法を変えてしまうなど FPGA の基本的な機能にも影響を及ぼすので注意する。

また、User I/O pins として割り当てられているピンは汎用の入出力用のピンでそれらの間では互いに等価であり、特殊な機能は備えていない。データの出力や多くの部品との



| User I/O Pins | Multi-Function Pins           |             | Transceiver Pins |          | Dedicated Pins | Other Pins |
|---------------|-------------------------------|-------------|------------------|----------|----------------|------------|
| ○ IO_LXXY_#   | ⊗ VREF                        | ⊞ CCLK      | ⊞ MGTAVCC        | ⊞ MGTRXP | ⊞ PROGRAM_B_2  | ⊞ GND      |
|               | ⊞ P_GCLK                      | ⊞ CSI       | ⊞ MGTAVCCPLL     | ⊞ MGTRXN | ⊞ TCK          | ⊞ VFS      |
|               | ⊞ N_GCLK                      | ⊞ CSO       | ⊞ MGTAVTTRX      | ⊞ MGTTXN | ⊞ TDI          | ⊞ VBATT    |
|               | ⊞ D0 - D15                    | ⊞ DIN       | ⊞ MGTAVTTRCAL    | ⊞ MGTTXP | ⊞ TDO          | ⊞ VCCAUX   |
|               | ⊞ A0 - A25                    | ⊞ DOUT_BUSY | ⊞ MGTAVTTTX      |          | ⊞ TMS          | ⊞ VCCINT   |
|               | ⊞ FCS / FWE / FOE / HDC / LDC | ⊞ HSWAPEN   | ⊞ MGTREFCLK (P)  |          | ⊞ DONE_2       | ⊞ VCCO     |
|               | ⊞ RDWR_B_VREF                 | ⊞ INIT      | ⊞ MGTREFCLK (N)  |          | ⊞ SUSPEND      | ⊞ NC       |
|               | ⊞ M1, M0                      |             | ⊞ MGTREF         |          | ⊞ CMPCS_B_2    |            |
|               | ⊞ AWAKE                       |             |                  |          | ⊞ RFUSE        |            |

図 4.9 Spratan6 FPGA のピンとその機能 [15]

接続はこの User I/O ピンを用いる。

#### 4.6.2 ファームウェア

FPGA のファームウェアは HDL で記述されて、論理合成され、使用する FPGA に合わせた配置・配線を経て生成される。

HDL 自体は FPGA の内部での処理や各レジスタの接続を記述するものであり、特定の FPGA で使用するファームウェアを生成するためには、FPGA の内部信号と物理的なピン配置の関係を定める制約ファイルの記述も必要である。そのほかにも、各 FPGA ではベンダーが定義しているライブラリが存在して、その FPGA に特有な機能を用いるにはライブラリを使う。

HDL によってさまざまな処理を記述することができるが、それらは FPGA の備えるレ

レジスタや LUT などのリソースを使って回路が生成されるため、あまりに複雑な処理を同時に行ったり、大量のデータをレジスタに記憶させたりすると FPGA のリソース不足や内部素子の性能の限界が問題になる。

そのため、一般的には最大でも FPGA の備えるリソースの半分程度の使用にとどめるようなファームウェアが好ましいとされる。これを超えると必要な回路が実現不可能になり、正しい処理が行えなくなる可能性がある。

#### 4.6.3 タイミング制約

同期回路では正しいタイミングで信号を扱うことが前提である。これができない場合は、間違ったデータが伝送されたり、予期しない動作になったりする。

正しいタイミングで FPGA が正しい処理を行うようにファームウェアの中でタイミング制約という条件を課することができる。タイミング制約はクロックやデータに課することができて、例えば 200 MHz のクロック入力があれば、そのクロックの信号が内部で正しく 200 MHz のクロックとして動作するように実装させる。また、パラレルバスに対してバスの信号線間のスキューを縮めるためにあるタイミングで値が正しく確定するような制約をかけることもできる。

## 5 Input Mezzanine ボード最終版の設計製作と動作検証

### 5.1 Input Mezzanine への要求

FTK 受信モジュールである Input Mezzanine には、他のハードウェアと同様に、満たすべき要求が様々な観点から存在する。特に、Input Mezzanine は FTK システムでは最上流に位置するため、比較的高速なデータレートが要求され、また検出器側の莫大なチャンネル数に対応する必要があるため、モジュールの数自体も必然的に大きくなる。

表 5.1 に今後のシリコン飛跡検出器の ROD の数とそれらに接続される光ファイバーの本数を示す。

| Detector layer | ROD output (～2012) | ROD output (2015/2018) | Fibers |
|----------------|--------------------|------------------------|--------|
| IBL            | N/A                | 56 (2015)              | 56     |
| Pixel B-Layer  | 44                 | 44                     | 44     |
| Pixel Layer-1  | 38                 | 76 (2018)              | 76     |
| Pixel Layer-2  | 26                 | 52 (2015)              | 52     |
| Pixel Disk     | 24                 | 24                     | 24     |
| Pixel Total    | 132                | 252 (～2018)            | 252    |
| SCT            | 90                 | 128 (～2015)            | 128    |
| Total          | 222                | 380 (～2018)            | 380    |

表 5.1 シリコン飛跡検出器の ROD 数と接続される光ファイバーの本数

IBL を含めたシリコン飛跡検出器の読み出しチャンネルは全部で約 100 万チャンネルであり、これだけで ATLAS 検出器の全読み出しチャンネルの 8 割以上を占める。そのため、この表のように読み出しのための光ファイバー (S-Link) の本数も膨大である。また、今後の増強計画に伴い、より高輝度な環境では検出器の occupancy が増大することを考慮して ROD や S-Link の数も増強される。

Input Mezzanine における処理は 1 つの FPGA で Pixel, SCT のクラスタリングを 1 S-Link 分扱うため、Input Mezzanine1 台で Pixel, SCT それぞれのクラスタリングが 2 S-Link 分行われる。SCT のクラスタリングに比べて Pixel のクラスタリングの処理は非常に複雑で高負荷であるため、1 つの FPGA で Pixel のクラスタリングを 2 S-Link 分行うことはできない。したがって、ROD の数に対応する必要な Input Mezzanine の台数は Pixel の S-Link の本数によって決定される。全体で最終的には 252 本の S-Link が



Pixel の ROD に接続されているため, Input Mezzanine も最低 252 台あれば良いことになる. 予備も含めて 256 台以上量産予定である.

また, ROD からのイベントレートは最大 100 kHz であり, S-Link 自体は 32 ビットのデータを 40 MHz の周波数で伝送する. したがって, 入力として 32 ビット 40 MHz のデータを受信できるように FPGA の GTP バンクを用いる.

## 5.2 マザーボードとの接続

Input Mezzanine とマザーボードは図 5.1 に示すような Fpga Mezzanine Card (FMC) コネクタによって接続される. FMC コネクタには, 400 ピン (40 ピン × 10 列) を持つ High Pin Count (HPC) と, その一部分である 160 ピン (40 ピン × 4 列) のみを持つ Low Pin Count (LPC) の 2 種類が存在する.

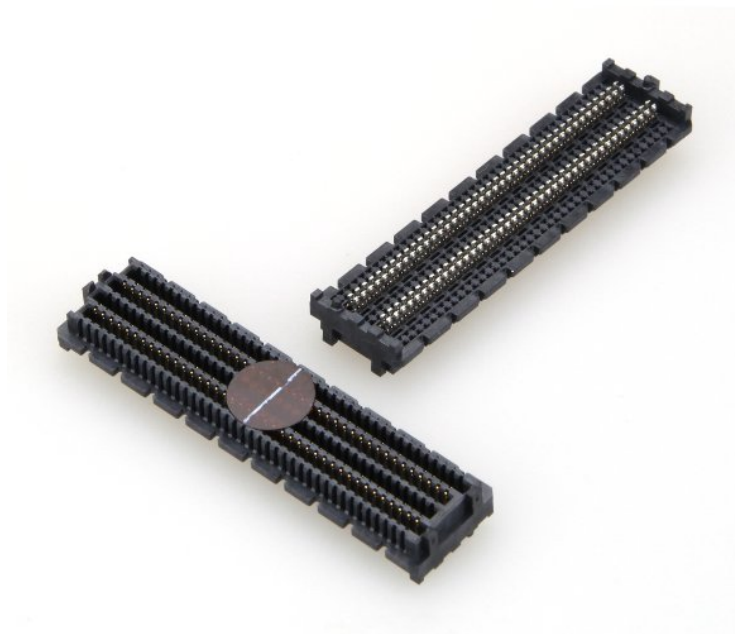


図 5.1 FMC コネクタ (図は LPC) [17]

また FMC コネクタのピン割り当ては HPC, LPC でそれぞれ図 5.2, 図 5.3 のようになっている.

これらのピン割り当て表からわかるように LPC のピンの割り当ては HPC 中の LPC 部分と同一であり, LPC の持つピンは HPC の部分集合といえる. そのため, 電源や JTAG, クロック用の CLK\_XX\_M2C, CLK\_XX\_C2M や設定用のピンなど基本的な要素

|    | K          | J          | H            | G          | F         | E         | D             | C         | B             | A         |
|----|------------|------------|--------------|------------|-----------|-----------|---------------|-----------|---------------|-----------|
| 1  | VREF_B_M2C | GND        | VREF_A_M2C   | GND        | PG_M2C    | GND       | PG_C2M        | GND       | RES1          | GND       |
| 2  | GND        | CLK3_M2C_P | PRSN_T_M2C_L | CLK1_M2C_P | GND       | HA01_P_CC | GND           | DP0_C2M_P | GND           | DP1_M2C_P |
| 3  | GND        | CLK3_M2C_N | GND          | CLK1_M2C_N | GND       | HA01_N_CC | GND           | DP0_C2M_N | GND           | DP1_M2C_N |
| 4  | CLK2_M2C_P | GND        | CLK0_M2C_P   | GND        | HA00_P_CC | GND       | GBTCLK0_M2C_P | GND       | DP9_M2C_P     | GND       |
| 5  | CLK2_M2C_N | GND        | CLK0_M2C_N   | GND        | HA00_N_CC | GND       | GBTCLK0_M2C_N | GND       | DP9_M2C_N     | GND       |
| 6  | GND        | HA03_P     | GND          | LA00_P_CC  | GND       | HA05_P    | GND           | DP0_M2C_P | GND           | DP2_M2C_P |
| 7  | HA02_P     | HA03_N     | LA02_P       | LA00_N_CC  | HA04_P    | HA05_N    | GND           | DP0_M2C_N | GND           | DP2_M2C_N |
| 8  | HA02_N     | GND        | LA02_N       | GND        | HA04_N    | GND       | LA01_P_CC     | GND       | DP8_M2C_P     | GND       |
| 9  | GND        | HA07_P     | GND          | LA03_P     | GND       | HA09_P    | LA01_N_CC     | GND       | DP8_M2C_N     | GND       |
| 10 | HA06_P     | HA07_N     | LA04_P       | LA03_N     | HA08_P    | HA09_N    | GND           | LA06_P    | GND           | DP3_M2C_P |
| 11 | HA06_N     | GND        | LA04_N       | GND        | HA08_N    | GND       | LA05_P        | LA06_N    | GND           | DP3_M2C_N |
| 12 | GND        | HA11_P     | GND          | LA08_P     | GND       | HA13_P    | LA05_N        | GND       | DP7_M2C_P     | GND       |
| 13 | HA10_P     | HA11_N     | LA07_P       | LA08_N     | HA12_P    | HA13_N    | GND           | GND       | DP7_M2C_N     | GND       |
| 14 | HA10_N     | GND        | LA07_N       | GND        | HA12_N    | GND       | LA09_P        | LA10_P    | GND           | DP4_M2C_P |
| 15 | GND        | HA14_P     | GND          | LA12_P     | GND       | HA16_P    | LA09_N        | LA10_N    | GND           | DP4_M2C_N |
| 16 | HA17_P_CC  | HA14_N     | LA11_P       | LA12_N     | HA15_P    | HA16_N    | GND           | GND       | DP6_M2C_P     | GND       |
| 17 | HA17_N_CC  | GND        | LA11_N       | GND        | HA15_N    | GND       | LA13_P        | GND       | DP6_M2C_N     | GND       |
| 18 | GND        | HA18_P     | GND          | LA16_P     | GND       | HA20_P    | LA13_N        | LA14_P    | GND           | DP5_M2C_P |
| 19 | HA21_P     | HA18_N     | LA15_P       | LA16_N     | HA19_P    | HA20_N    | GND           | LA14_N    | GND           | DP5_M2C_N |
| 20 | HA21_N     | GND        | LA15_N       | GND        | HA19_N    | GND       | LA17_P_CC     | GND       | GBTCLK1_M2C_P | GND       |
| 21 | GND        | HA22_P     | GND          | LA20_P     | GND       | HB03_P    | LA17_N_CC     | GND       | GBTCLK1_M2C_N | GND       |
| 22 | HA23_P     | HA22_N     | LA19_P       | LA20_N     | HB02_P    | HB03_N    | GND           | LA18_P_CC | GND           | DP1_C2M_P |
| 23 | HA23_N     | GND        | LA19_N       | GND        | HB02_N    | GND       | LA23_P        | LA18_N_CC | GND           | DP1_C2M_N |
| 24 | GND        | HB01_P     | GND          | LA22_P     | GND       | HB05_P    | LA23_N        | GND       | DP9_C2M_P     | GND       |
| 25 | HB00_P_CC  | HB01_N     | LA21_P       | LA22_N     | HB04_P    | HB05_N    | GND           | GND       | DP9_C2M_N     | GND       |
| 26 | HB00_N_CC  | GND        | LA21_N       | GND        | HB04_N    | GND       | LA26_P        | LA27_P    | GND           | DP2_C2M_P |
| 27 | GND        | HB07_P     | GND          | LA25_P     | GND       | HB09_P    | LA26_N        | LA27_N    | GND           | DP2_C2M_N |
| 28 | HB06_P_CC  | HB07_N     | LA24_P       | LA25_N     | HB08_P    | HB09_N    | GND           | GND       | DP8_C2M_P     | GND       |
| 29 | HB06_N_CC  | GND        | LA24_N       | GND        | HB08_N    | GND       | TCK           | GND       | DP8_C2M_N     | GND       |
| 30 | GND        | HB11_P     | GND          | LA29_P     | GND       | HB13_P    | TDI           | SCL       | GND           | DP3_C2M_P |
| 31 | HB10_P     | HB11_N     | LA28_P       | LA29_N     | HB12_P    | HB13_N    | TDO           | SDA       | GND           | DP3_C2M_N |
| 32 | HB10_N     | GND        | LA28_N       | GND        | HB12_N    | GND       | 3P3VAUX       | GND       | DP7_C2M_P     | GND       |
| 33 | GND        | HB15_P     | GND          | LA31_P     | GND       | HB19_P    | TMS           | GND       | DP7_C2M_N     | GND       |
| 34 | HB14_P     | HB15_N     | LA30_P       | LA31_N     | HB16_P    | HB19_N    | TRST_L        | GA0       | GND           | DP4_C2M_P |
| 35 | HB14_N     | GND        | LA30_N       | GND        | HB16_N    | GND       | GA1           | 12P0V     | GND           | DP4_C2M_N |
| 36 | GND        | HB18_P     | GND          | LA33_P     | GND       | HB21_P    | 3P3V          | GND       | DP6_C2M_P     | GND       |
| 37 | HB17_P_CC  | HB18_N     | LA32_P       | LA33_N     | HB20_P    | HB21_N    | GND           | 12P0V     | DP6_C2M_N     | GND       |
| 38 | HB17_N_CC  | GND        | LA32_N       | GND        | HB20_N    | GND       | 3P3V          | GND       | GND           | DP5_C2M_P |
| 39 | GND        | VIO_B_M2C  | GND          | VADJ       | GND       | VADJ      | GND           | 3P3V      | GND           | DP5_C2M_N |
| 40 | VIO_B_M2C  | GND        | VADJ         | GND        | VADJ      | GND       | 3P3V          | GND       | RES0          | GND       |

図 5.2 FMC コネクタ (HPC) のピン割り当て表 [16]

|    | K  | J  | H            | G          | F  | E  | D             | C         | B  | A  |
|----|----|----|--------------|------------|----|----|---------------|-----------|----|----|
| 1  | NC | NC | VREF_A_M2C   | GND        | NC | NC | PG_C2M        | GND       | NC | NC |
| 2  | NC | NC | PRSN_T_M2C_L | CLK1_M2C_P | NC | NC | GND           | DP0_C2M_P | NC | NC |
| 3  | NC | NC | GND          | CLK1_M2C_N | NC | NC | GND           | DP0_C2M_N | NC | NC |
| 4  | NC | NC | CLK0_M2C_P   | GND        | NC | NC | GBTCLK0_M2C_P | GND       | NC | NC |
| 5  | NC | NC | CLK0_M2C_N   | GND        | NC | NC | GBTCLK0_M2C_N | GND       | NC | NC |
| 6  | NC | NC | GND          | LA00_P_CC  | NC | NC | GND           | DP0_M2C_P | NC | NC |
| 7  | NC | NC | LA02_P       | LA00_N_CC  | NC | NC | GND           | DP0_M2C_N | NC | NC |
| 8  | NC | NC | LA02_N       | GND        | NC | NC | LA01_P_CC     | GND       | NC | NC |
| 9  | NC | NC | GND          | LA03_P     | NC | NC | LA01_N_CC     | GND       | NC | NC |
| 10 | NC | NC | LA04_P       | LA03_N     | NC | NC | GND           | LA06_P    | NC | NC |
| 11 | NC | NC | LA04_N       | GND        | NC | NC | LA05_P        | LA06_N    | NC | NC |
| 12 | NC | NC | GND          | LA08_P     | NC | NC | LA05_N        | GND       | NC | NC |
| 13 | NC | NC | LA07_P       | LA08_N     | NC | NC | GND           | GND       | NC | NC |
| 14 | NC | NC | LA07_N       | GND        | NC | NC | LA09_P        | LA10_P    | NC | NC |
| 15 | NC | NC | GND          | LA12_P     | NC | NC | LA09_N        | LA10_N    | NC | NC |
| 16 | NC | NC | LA11_P       | LA12_N     | NC | NC | GND           | GND       | NC | NC |
| 17 | NC | NC | LA11_N       | GND        | NC | NC | LA13_P        | GND       | NC | NC |
| 18 | NC | NC | GND          | LA16_P     | NC | NC | LA13_N        | LA14_P    | NC | NC |
| 19 | NC | NC | LA15_P       | LA16_N     | NC | NC | GND           | LA14_N    | NC | NC |
| 20 | NC | NC | LA15_N       | GND        | NC | NC | LA17_P_CC     | GND       | NC | NC |
| 21 | NC | NC | GND          | LA20_P     | NC | NC | LA17_N_CC     | GND       | NC | NC |
| 22 | NC | NC | LA19_P       | LA20_N     | NC | NC | GND           | LA18_P_CC | NC | NC |
| 23 | NC | NC | LA19_N       | GND        | NC | NC | LA23_P        | LA18_N_CC | NC | NC |
| 24 | NC | NC | GND          | LA22_P     | NC | NC | LA23_N        | GND       | NC | NC |
| 25 | NC | NC | LA21_P       | LA22_N     | NC | NC | GND           | GND       | NC | NC |
| 26 | NC | NC | LA21_N       | GND        | NC | NC | LA26_P        | LA27_P    | NC | NC |
| 27 | NC | NC | GND          | LA25_P     | NC | NC | LA26_N        | LA27_N    | NC | NC |
| 28 | NC | NC | LA24_P       | LA25_N     | NC | NC | GND           | GND       | NC | NC |
| 29 | NC | NC | LA24_N       | GND        | NC | NC | TCK           | GND       | NC | NC |
| 30 | NC | NC | GND          | LA29_P     | NC | NC | TDI           | SCL       | NC | NC |
| 31 | NC | NC | LA28_P       | LA29_N     | NC | NC | TDO           | SDA       | NC | NC |
| 32 | NC | NC | LA28_N       | GND        | NC | NC | 3P3VAUX       | GND       | NC | NC |
| 33 | NC | NC | GND          | LA31_P     | NC | NC | TMS           | GND       | NC | NC |
| 34 | NC | NC | LA30_P       | LA31_N     | NC | NC | TRST_L        | GA0       | NC | NC |
| 35 | NC | NC | LA30_N       | GND        | NC | NC | GA1           | 12P0V     | NC | NC |
| 36 | NC | NC | GND          | LA33_P     | NC | NC | 3P3V          | GND       | NC | NC |
| 37 | NC | NC | LA32_P       | LA33_N     | NC | NC | GND           | 12P0V     | NC | NC |
| 38 | NC | NC | LA32_N       | GND        | NC | NC | 3P3V          | GND       | NC | NC |
| 39 | NC | NC | GND          | VADJ       | NC | NC | GND           | 3P3V      | NC | NC |
| 40 | NC | NC | VADJ         | GND        | NC | NC | 3P3V          | GND       | NC | NC |

図 5.3 FMC コネクタ (LPC) のピン割り当て表 [16]

となるピンはすべて LPC 側に備えられている。ここで C2M は Carrier to Mezzanine, M2C は Mezzanine to Carrier の略である。HPC にのみ存在するピンとしては、LPC 側にある LA\_XX という汎用の通信用ピンの拡張となる HA\_XX や HB\_XX ピンの他、高速信号などに用いられる、信号の方向が決められている DP\_XX\_C2M, DP\_XX\_M2C といったピンが多く設けられている。

Input Mezzanine と Data Formatter は FMC HPC コネクタによって接続する。ただし、400 ピンのすべてをその接続に用いるわけではなく、LPC に存在するピンと HPC にのみ存在する高速信号用のピンを用いる。

この FMC コネクタを介した Input Mezzanine と Data Formatter の FPGA 間の通信には数本の例外を除き、すべて差動伝送を使用する。これは 2 つのボード間で FPGA の動作電圧に違いがあり、シングルエンド伝送ではその違いを吸収することができないためである。差動伝送であれば、共通のグランドに対する電圧ではなく、伝送線路間の電圧を信号とするため、動作電圧の違いに対応できる。

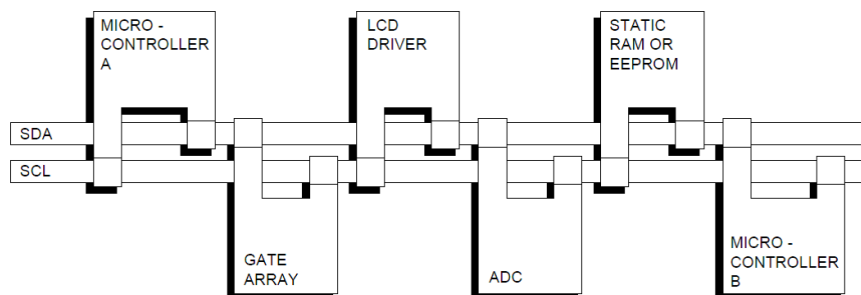
Input Mezzanine から Data Formatter へのクラスター化ヒットの出力には LVDS による周波数 200 MHz の DDR を用いたソース同期の平行バスを使用する。Pixel と SCT のクラスター化されたヒット情報はそれぞれが 32 ビットのデータであり、最大 80 MHz の周期で出力する。そこで、この 200 MHz DDR の LVDS を 4 対用いて 8 ビットデータを送信することを 4 回繰り返して 32 ビットデータを Data Formatter へと出力する。このとき、これらのデータ用の線のみではどの 8 ビットが初めの 8 ビットなのかをトリガーする術が無い上、データが正しい意味のあるものであることを保証する Data Valid やそのデータが制御信号であることを意味するビット、さらにはパリティビットといった追加の制御ビットが無く、通信ができないためこれらの情報もデータとともに送る。

したがって、Input Mezzanine と Data Formatter の間では表のようなプロトコルにより通信を行う。

また Data Formatter から Input Mezzanine の内部レジスタを読み書きするために I<sup>2</sup>C バスを用いる。I<sup>2</sup>C バスは図 5.4 に示すように SCL と SDA という 2 本のシングルエンド伝送の線を用いてバスを構成する。バスに接続されるデバイスを特定するためのアドレスには 7 ビットアドレス方式と 10 ビットアドレス方式があり、それぞれ最大 127, 1023 のデバイスを同一の I<sup>2</sup>C バスに接続することができる。

I<sup>2</sup>C バスでは 2 本の線のみを用いて多くのデバイスと接続するために決められたプロトコルによって通信を行う。I<sup>2</sup>C バスのプロトコルについては付録 A を参照。

I<sup>2</sup>C バスでは 8 ビット単位でデータをやりとりする。Input Mezzanine のファームウェアの中で Data Formatter から I<sup>2</sup>C バスによってアクセスしたいレジスタにアドレスを

図 5.4 I<sup>2</sup>C バス [11]

割り当てておき, I<sup>2</sup>C バスによる 8 ビットデータのやりとりを何回か繰り返して特定のレジスタを指定して読み書きするように実装する.

### 5.3 PCB 設計

Input Mezzanine というモジュールが機能するためには, それを構成する部品に電源を供給したり, それらの間の信号のやり取りを行うための配線をした基板が必要である. FPGA やメモリをはじめとする様々な部品が互いに接続し, 非常に複雑な回路を構成する. そのため, 基板上の配線も複雑になるが, 電気信号を伝達するための配線が互いに交わってはいけなし, 高速な信号を伝えるための線はその品質も高くなければならない. また, 電源やクロックは回路が動作するためには絶対に欠かせない要素であるため, その配線や回路は最も注意すべきである.

Input Mezzanine の PCB 設計におけるクリティカルパスは

- SFP と FPGA の GTP バンクまでの配線
- FMC コネクタと FPGA の間の配線
- FPGA 間の GTP バンクによる local bus
- FMC コネクタと FPGA の GTP バンク間の配線

である. この他, クロックや電源の配線は当然重要である.

クリティカルパスをはじめとする特に重要な配線は, その品質が高いことが要求されるため非常に「きれいに」配線を行う必要がある. 「きれい」な配線とは, 可能な限り以下のような条件をみたしているものである:

- 経由する PCB の層が少ない
- 直線的

- 距離が短い
- 適切なインピーダンスを保っている
- 差動信号であれば P-N 間の線長が揃っている
- 内層を経由する場合は、GND に挟まれた層を経由する
- 同じ層の他の配線と離れている

実際の PCB 設計では、クリティカルパスの他にも非常に多くの配線や部品が存在するため、これらの条件をすべて満たすことは現実的ではない。必ずしも部品面のみで配線することはできないし、長い距離を伝わる必要がある場合もある。そこで、PCB 設計において最も重要なことは、適切な部品の配置にある。最適な部品の配置ができれば、実は PCB の設計はほとんど終わったと言える。

部品の配置を決めるためには、部品を機能ごとにグループとして分け、ボード全体のデータの流れを念頭に部品のグループの配置を考える。これはモジュール自体のブロックダイアグラムと基本的に同じであり、PCB 設計の段階においてもデータの流れや機能のまとまりを重視すると自然に配線もしやすくなる。部品の配置段階での Input Mezzanine のPCB 設計は図 5.5 に示すようになっている。

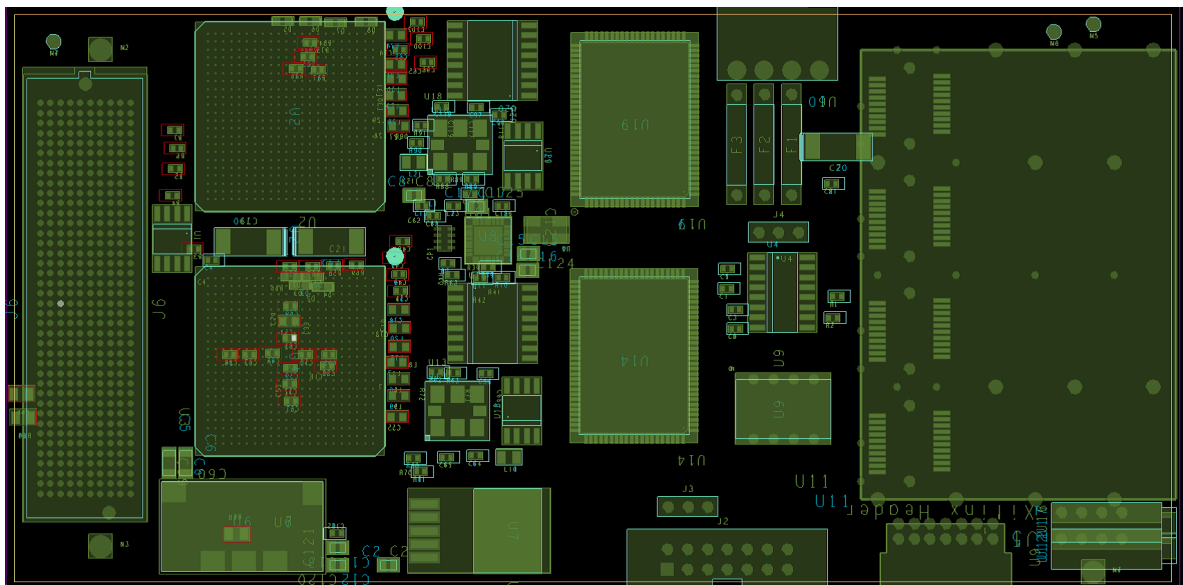


図 5.5 Input Mezzanine の主要部品の配置

右側に S-Link の入力用 SFP があり、左に Data Formatter に接続してデータの出力をするための FMC コネクタがある。FMC コネクタと FPGA の配線は上述のようにクリティカルパスであり、部品間での配線の本数が最も多いため、これらの間の配線が最短



かつ容易になるように出力の FMC コネクタに FPGA を近づけている。SFP と FPGA 間の配線も入力部分の非常に重要なクリティカルパスであるが、8b/10b エンコーディングを用いた SerDes によるシリアル伝送であるため、高速な配線であるもののバスのスキューが存在せず、遅延調整が不要であるため、出力部分の FPGA-FMC コネクタ間のパラレルバスの配線を優先した。また、電源回路についても FMC コネクタから供給された電源ができる限り短い経路で FPGA に供給できるように FMC コネクタからの 12V を 1.2V (FPGA コア用電源) に変換するスイッチングコンバータや 3.3V を 1.2V (FPGA GTP バンク用電源) に変換するリニアレギュレータをボード下部に配置して FPGA に近づけてある。このほか、GTP バンク用のリファレンスクロックの回路も FPGA に近づけた。残る部品やクリティカルパス以外の配線は JTAG やフラッシュメモリー、I<sup>2</sup>C バス、SRAM やテストポイントなど重要ではあるが、比較的低速 (最大でも数 MHz) なので、上述のより重要な部品や配置を優先させ、その残りの空間に配置配線することにした。

部品の配置が終われば、残るは部品間の配線である。部品の配置の際と同様に、クリティカルパスや電源の配線を優先的に行い、残りの配線は自動配線ツールも併用しながら進めていく。

まずは、最も配線が重要かつ困難な FMC コネクタと FPGA 間の部分を扱う。FPGA-FMC コネクタ間には表にあるように多くの接続があり、またこれらはほぼすべてがクリティカルパスであるため、できるかぎり短く、経由する層を少なくして、なおかつ差動インピーダンスを 100Ω 程度で一定に保つ必要がある。差動インピーダンスは、差動伝送の配線対の間隔やそれらの太さ、配線層や絶縁層の厚み、絶縁層の誘電率などのパラメータにより決まる。図 5.6 に示すように、シミュレーションを用いて基板の材料、配線の間隔や太さ、層の厚みや誘電率などのパラメータを動かしながら適切なインピーダンスになるパラメータを探す。一番右側の列に表示されている差動インピーダンスの値が約 100Ω となっていて、このときのパラメータを実際の配線のときに用いることによって適切な差動インピーダンスを満たして配線を行うことができる。

また、限られた配線層を用いて、それぞれの線が経由する層を最小にとどめるためにはそれぞれの線の間での交差を少なくすればよい。原理的には、すべての線の間で交差が一つなければ、どれほど線が多い場合でも一つの層のみですべての配線が行える。実際には、部品やビア、部品のピン配置などの制約により交差が無い場合でも一つの層のみでは配線が行えないことも多い。しかし、互いに等価な線・ピンの間であれば部品のピン配置はいくらでも入れ替えが可能なので、できる限り配線が容易かつその質が高まるようにピン配置を工夫することが必要である。

Input Mezzanine の FPGA - FMC コネクタ間の配線においては、クロックや電源、



|    | Subclass Name | Type       | Thickness (MM) | Dielectric Constant | Loss Tangent | Shield                              | Width (MM) | Coupling Type | Spacing (MM) | DkZ0 (ohm) |
|----|---------------|------------|----------------|---------------------|--------------|-------------------------------------|------------|---------------|--------------|------------|
| 1  |               | SURFACE    |                | 1                   | 0            |                                     |            |               |              |            |
| 2  | TOP           | CONDUCTOR  | 0.018          | 4.5                 | 0            |                                     | 0.200      | EDGE          | 0.100        | 102.75     |
| 3  |               | DIELECTRIC | 0.245          | 4.5                 | 0.035        |                                     |            |               |              |            |
| 4  | LAYER2        | PLANE      | 0.035          | 1                   | 0            | <input checked="" type="checkbox"/> |            |               |              |            |
| 5  |               | DIELECTRIC | 0.245          | 4.5                 | 0.035        |                                     |            |               |              |            |
| 6  | LAYER3        | CONDUCTOR  | 0.035          | 4.5                 | 0            |                                     | 0.100      | EDGE          | 0.177        | 99.501     |
| 7  |               | DIELECTRIC | 0.245          | 4.5                 | 0.035        |                                     |            |               |              |            |
| 8  | LAYER4        | PLANE      | 0.035          | 1                   | 0            | <input checked="" type="checkbox"/> |            |               |              |            |
| 9  |               | DIELECTRIC | 0.245          | 4.5                 | 0.035        |                                     |            |               |              |            |
| 10 | LAYER5        | CONDUCTOR  | 0.035          | 4.5                 | 0            |                                     | 0.100      | EDGE          | 0.177        | 99.501     |
| 11 |               | DIELECTRIC | 0.245          | 4.5                 | 0.035        |                                     |            |               |              |            |
| 12 | LAYER6        | PLANE      | 0.035          | 1                   | 0            | <input checked="" type="checkbox"/> |            |               |              |            |
| 13 |               | DIELECTRIC | 0.245          | 4.5                 | 0.035        |                                     |            |               |              |            |
| 14 | LAYER7        | CONDUCTOR  | 0.035          | 4.5                 | 0            |                                     | 0.100      | EDGE          | 0.177        | 99.501     |
| 15 |               | DIELECTRIC | 0.245          | 4.5                 | 0.035        |                                     |            |               |              |            |
| 16 | LAYER8        | PLANE      | 0.035          | 1                   | 0.035        | <input checked="" type="checkbox"/> |            |               |              |            |
| 17 |               | DIELECTRIC | 0.245          | 4.5                 | 0.035        |                                     |            |               |              |            |
| 18 | LAYER9        | PLANE      | 0.035          | 1                   | 0.035        | <input checked="" type="checkbox"/> |            |               |              |            |
| 19 |               | DIELECTRIC | 0.245          | 4.5                 | 0.035        |                                     |            |               |              |            |
| 20 | LAYER10       | PLANE      | 0.035          | 1                   | 0.035        | <input checked="" type="checkbox"/> |            |               |              |            |
| 21 |               | DIELECTRIC | 0.245          | 4.5                 | 0.035        |                                     |            |               |              |            |
| 22 | LAYER11       | PLANE      | 0.035          | 1                   | 0.035        | <input checked="" type="checkbox"/> |            |               |              |            |
| 23 |               | DIELECTRIC | 0.245          | 4.5                 | 0.035        |                                     |            |               |              |            |
| 24 | BOTTOM        | CONDUCTOR  | 0.018          | 4.5                 | 0            |                                     | 0.200      | EDGE          | 0.100        | 102.75     |
| 25 |               | SURFACE    |                | 1                   | 0            |                                     |            |               |              |            |

Total Thickness: 3.081 MM

Layer Type: ALL Material: ALL Field to Set: Thickness Value to Set: Update Fields

OK Apply Cancel Refresh Materials >

Show Single Impedance Show Diff Impedance

Help

図 5.6 シミュレーションによるインピーダンスの調整

JTAG, その他設定用ピンなどはそれら専用にピンが割り当てられているため、ピンを入れ替えることができないが、むしろクリティカルパスである FPGA からの出力の線はそれらの間では互いに等価であり、FPGA 側のピンも汎用の入出力用のものであるため配線を最優先に入れ替えることができる。

ピン配置を入れ替える前の上側の FPGA - FMC コネクタ間のラッツネット表示（配線すべき点と点を直線で結んだもの、配線の交差の目安になる）を図 5.7 に示す。上側の FPGA - FMC コネクタ間の配線どうしも交差が見られる。

これに対して、ピン配置を入れ替えた後の上側の FPGA - FMC コネクタ間のラッツネット表示を図 5.8 に示す。互いの配線の交差が少なくなっていることがわかる。

このように適切な部品配置のもとで、ピン配置を最適化することによって新たに層を追加することなく配線を容易にし、またその質を高めることができる。これは非常に経済的であり、ここで注目した部分に限らず基板全体のあらゆる配線について常に意識すべき点である。

部品配置・ピン配置の調整を行ったので、実際の配線を行う。特にクリティカルパスの配線は以下のような点に注意を払いながら行う必要がある。

最も理想的な配線は、その距離が短く、適切なインピーダンスを保って部品面のみを伝わって、直線でつながっているものである。しかし、実際にはそのような理想的な配線ができる場合は非常に稀であり、多くは直線ではなく何度か曲がったり部品面のみではなく内層を経由したり、差動対の間隔や太さが変化することによって局所的にインピーダンス

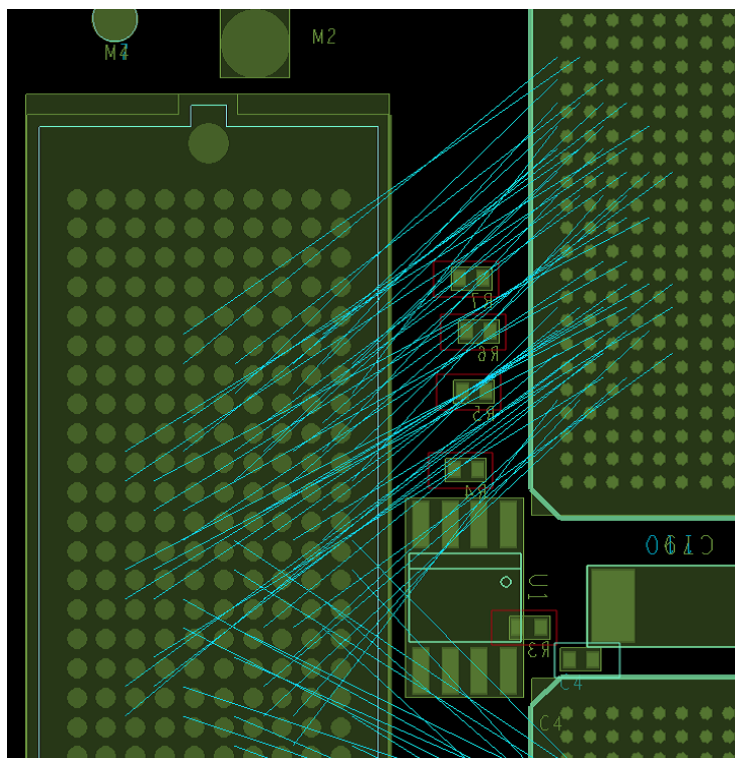


図 5.7 上側の FPGA - FMC コネクタ間のラッツネット（ピン入れ替え前）

が変動するなど問題がある。これらの要素は避けられない場合がほとんどであるが、可能な限りその影響を少なくするように工夫する必要がある。

また、差動伝送の場合は差動対の間で線長を揃えることが重要である。線長が揃っていない場合、高速な信号になるとその差動対が持つ値が不安定になる。差動対の線長を揃えるために、図のようなミアンダ配線を施したりあるいは部品のピン近くで図のように片方の線のみ遠回りさせたりする。

このようにして、すべての部品の配置・配線が終わると図 5.9 および図 5.10 のような状態になる。

配置・配線終了後は、Design Rule Checker (DRC) によるエラーが無いことを確認し、また、目視でも設計上の異常が無いか確認する。

すべての確認ができれば、PCB 製造用にガーバー (gerber) データとビアや固定穴などの位置や穴径の指定をするドリルデータ、および基板の層構成の情報を出力し、基板製造業者に製造を依頼する。

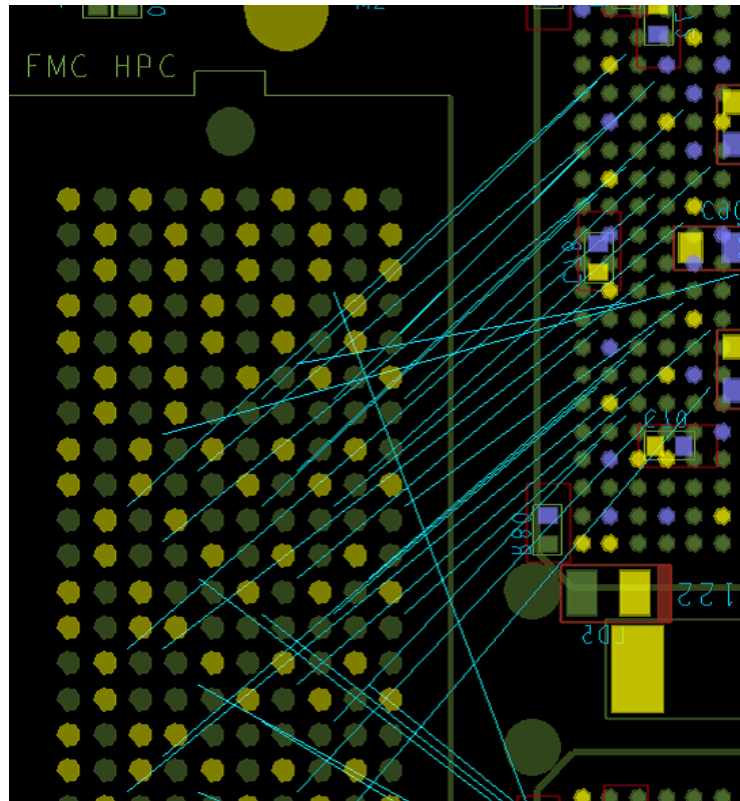


図 5.8 上側の FPGA - FMC コネクタ間のラッツネット（ピン入れ替え後）

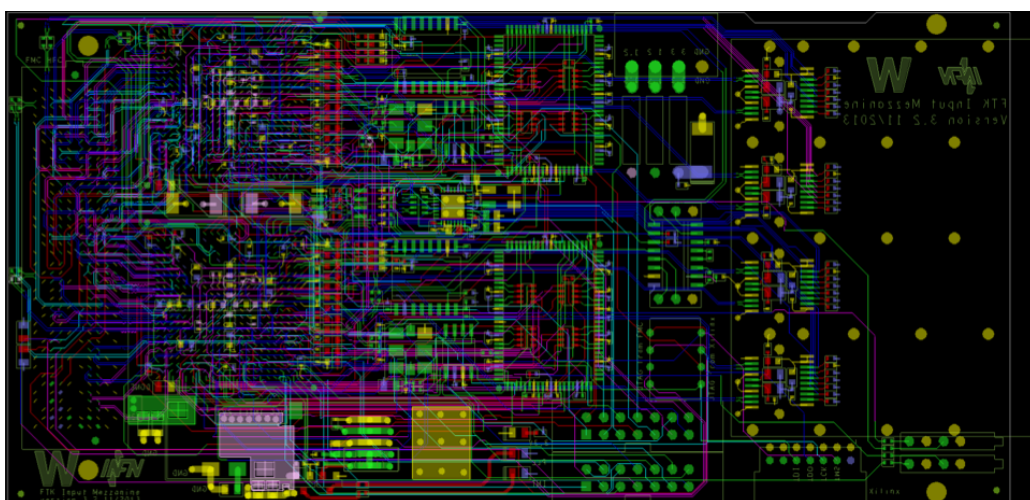


図 5.9 Input Mezzanine 配置・配線終了後のアートワーク

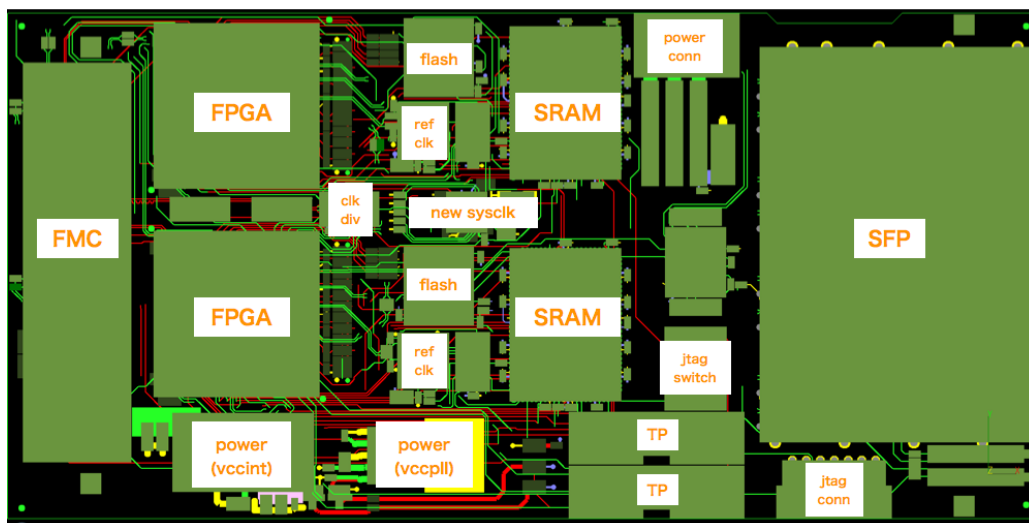


図 5.10 Input Mezzanine に搭載されている部品

## 5.4 テストスタンド

Input Mezzanine の動作試験を行うためには、Input Mezzanine に電源を供給し、リセットなどの外部からの制御を行うことができ、さらには Input Mezzanine の出力データを読み出すことができるテストスタンドが必要である。

マザーボードである Data Formatter には図のブロックダイアグラムにあるように、SPI (Simple Peripheral Interface) バスによってマイクロコントローラが FPGA に接続されていて、このマイクロコントローラには Ethernet によって外部のコンピュータからアクセスすることができる。マイクロコントローラには簡単な OS が実装されていて、SPI バスを通じて Data Formatter 上の FPGA の内部レジスタを読み書きすることができる。これらの機構によって例えば Input Mezzanine へのリセットなどの信号を制御することや、Input Mezzanine から Data Formatter へと出力されたデータを Data Formatter の FPGA の内部レジスタに一時的に記憶させておき、そのデータをマイクロコントローラ経由で外部のコンピュータへと読み出すことが可能になる。

テストスタンドとして Data Formatter が備えている機能としては以下のようなものがある。これらは必要に応じてさらなる機能を追加することも可能である。

- Input Mezzanine から出力されたデータを記憶して読み出す
- Input Mezzanine から出力されたクロックやデータにかかる遅延の調整



- リセット, Spy Buffer freeze, Hold など Data Formatter から Input Mezzanine を制御するための信号
- Input Mezzanine と Data Formatter 間の I<sup>2</sup>C バスの制御

また, Data Formatter とは独立に市販の FPGA 評価ボードを用いても同様のテストスタンドを構築することができる. Data Formatter と同一の FPGA (XC7K325T-2C) を搭載する Xilinx 社の KC705 評価ボード (図 5.11) 上に MicroBlaze というソフトコア CPU を実装し, その環境上で OS として Linux を動作させることによって, 外部コンピュータから FPGA 内部レジスタへアクセス可能なシステムを構築した.

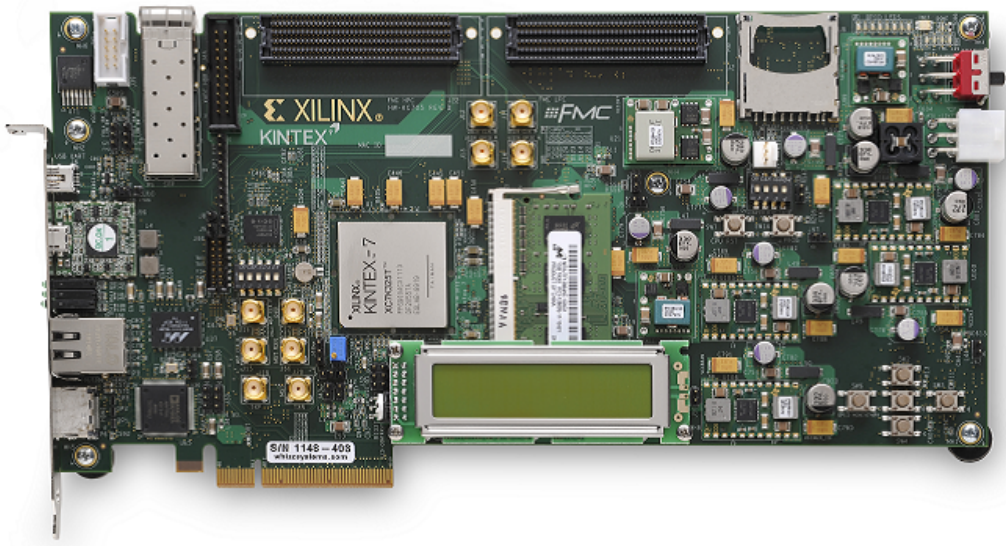


図 5.11 Xilinx 社 KC705 評価ボード [16]

MicroBlaze は RISC 型の 32 ビット CPU で, KC705 評価ボードにはマイクロコントローラは実装されていないため, FPGA の中にファームウェアの一部として実装されるためソフトコアである. しかし, MicroBlaze アーキテクチャは Linux kernel で公式にサポートされており, Xilinx 社の FPGA で MicroBlaze CPU を用いたシステム上で Linux を動作させるための Linux kernel やクロスコンパイラが公式に公開されている.

テストスタンドとして FPGA 内部のレジスタを読み書きするためには MicroBlaze CPU のシステムバス (AXI4 バス) に必要なモジュール (Custom Peripheral) を追加する必要がある. Custom Peripheral は Ethernet Interface や DDR3 SDRAM 用 Interface などと同様に AXI4 バスに接続されていて, MicroBlaze CPU とは 32 ビット単位でデータのやりとりを行う. Custom Peripheral も MicroBlaze CPU に付随するモジュールで

あるため FPGA 内にファームウェアとして実装され、MicroBlaze CPU と FPGA 内部のレジスタや信号を結ぶ役割を果たし、外部コンピュータのソフトウェアからハードウェアへのアクセスを可能にする。Linux OS から Custom Peripheral にアクセスするためには Custom Peripheral を実装して、さらに対応するデバイスドライバを開発する必要がある。この場合のデバイスドライバはいわゆるキャラクターデバイス（対になるものとしてブロックデバイスがある。ブロックデバイスはメモリなどまとまったデータを効率よく読み書きするためのもので、キャラクターデバイスに比べるとやや複雑である。）のもので十分であり、Linux OS の場合は必要な関数や構造体が kernel header によって整備されているため、その開発は比較的容易である。

評価ボードを用いたテストスタンドとしては Input Mezzanine から出力されたデータを記憶するための内部レジスタやその信号へ適切な遅延をかける機構、Input Mezzanine ヘリセットなどの制御信号を送る機構などを MicroBlaze CPU に無関係に実装して、それらへのアクセスを行うために MicroBlaze CPU や付随する Custom Peripheral を実装した。このブロックダイアグラムを図に示す。

図からわかるように評価ボードと MicroBlaze CPU によるテストスタンドは、その実装方法がやや異なるものの、マイクロコントローラや MicroBlaze CPU によって内部レジスタへのアクセスや制御を可能にしているという点では違いはない。したがって、FTK 実機としての Data Formatter と市販の評価ボードによるテストスタンドという同じ機能を実現することのできる 2 つの手段を確立した。これによって、手段による動作の違いがないかどうかのクロスチェックや Input Mezzanine 量産時の品質管理などを行うための環境が整ったといえる。

## 5.5 早稲田での実機検証

本小節では、早稲田大学において行った Input Mezzanine の実機検証とその結果について議論する。

### 5.5.1 初期テスト

設計・製作が完了しボードが手に入った段階で、まず初めにボードが設計通りに製作されているかどうか、ショートや断線がないかなどを確認する。簡単な初期テスト項目を以下に示す。

- ボードの寸法や外観に問題がないか



- 部品の実装は設計通りか（正しい位置・向きに正しい部品が実装されているか）
- 電源回路にショートや断線がないか
- 電源を入れて異常な発熱をする部品がないか
- FPGA の jtag バウンダリスキャンが正常にできるか
- jtag を使って FPGA に正常にプログラムできるか

ボードの寸法や外観は電気回路的な問題を起こすことは少ないが、マザーボードとの接続においては重要である。Input Mezzanine はマザーボードに最大 4 台搭載されるため、ボードが大きすぎると隣のボードと干渉することが考えられる。また、コネクタによる接続のみでは機械的な強度が不足するために、SFP ケージ横とコネクタ横にある 4 つのマウント用の穴によってマザーボードに取り付ける必要があるため、この穴の配置も重要である。

部品の実装が設計通りであるかどうかは、手間がかかるがやはり重要である。電氣的に極性のある部品やある対称性を持っている部品の場合は、製作時に設計とは違う位置や向きに実装されてしまう可能性がある。特に、部品の実装ミスによって電源回路にショートが発生することもあり、電源回路のショート・断線確認とともに行うべきである。Input Mezzanine の電源回路には最大で 12V と最小で 1.2V の電源系があり、12V と FPGA 用 1.2V が短絡した場合には FPGA が破壊される。そのため、電源に問題がないかどうかの確認は最重要項目である。

これまでの確認により問題がなければ、少なくとも電源には問題がないため、すぐにボードや部品が壊れる可能性は低い。電源を入れて電源系の状態を示す LED（3.3V、1.2V、1.2V それぞれに設けてある）が正常に点灯するかを確認し、jtag のバウンダリスキャンやそれによるプログラミングが正常に行われるかを確認する。また、電源部品や FPGA を中心に異常な発熱をする部品がないことを確認する。これらの初期テストは評価ボードを使って行い、問題がないことを確認してからマザーボードでのテストに移行する。

### 5.5.2 機能試験

初期テストにて問題がないことが確認できたら、各部品・機能の確認を行う。

初期試験では主に、電源回路や JTAG によるプログラミングなどの FPGA やその他部品の基本的な部分が正常に動作するかを見た。電源や JTAG に問題が無ければ、実際にファームウェアをプログラムして周辺の部品やマザーボードとの接続などの機能を確認める。この機能試験においては以下の項目の動作を確認する：

- クロック回路

- FMC コネクタを介したマザーボードとの通信
- Input Mezzanine 上のメモリーからの FPGA のプログラム
- S-Link のリンクアップとデータ受信

### クロック回路

ハードウェアとして、電源と同様に重要な要素としてクロックがある。クロックは回路に時間の概念を与えるものであり、クロックが無ければ順序回路が実現できず、複雑な機能を実装することができない。Input Mezzanine の FPGA には 3 種類のクロック源が接続されていて、これらのそれぞれのクロック源が正しい周波数の安定したクロックを供給することができるかを確認する。クロックが設計通りに供給されているかは、FPGA にクロックを受け取り、そのクロックで時間を数えながら期待される周波数に応じた時間経過後に LED を点灯・消灯するようなファームウェアによって簡単に確かめることができる。3 種類のクロック入力のうち FMC コネクタによってマザーボードから供給されるもの (XC\_CLK) とシステムクロック (SYS\_CLK) は通常の FPGA ロジック内でそのまま利用することができるが、GTP バンク用のリファレンスクロック (SFP\_CLK) は GTP バンク内のみの利用に留められており直接は利用できない。SFP\_CLK を利用するためには、一度 GTP バンクを実装し、デバッグ用に通常の FPGA ロジックへと出力させる設定をする必要がある。これら 3 種類のクロック源から正常にクロックが供給されていることを確認してから、他の機能の試験を行う。

### FMC コネクタを介したマザーボードとの通信

クロックが正常に動作していれば Input Mezzanine の主要な機能の試験に移る。ハードウェアとしてデータの入力と出力が正常に行うことができるかどうかを確認する。入力は飛跡検出器のヒット情報を S-Link によって受信する部分であり、その出力は FMC コネクタによってマザーボードへと伝達される。

FMC コネクタを介した Input Mezzanine とマザーボード間の通信を確立して Input Mezzanine からの出力をマザーボードから読みだすことによって Input Mezzanine の入力部分を評価することができる。Input Mezzanine と Data Formatter は

#### 5.5.3 性能評価・耐久試験

FTK ハードウェアとしての Input Mezzanine の性能評価や耐久試験を行うためには、Input Mezzanine が S-Link によって飛跡検出器からヒット情報を受け取り、それをクラスター化して FTK のデータ形式へと変換後、マザーボードである Data Formatter へ

出力しその出力が期待されるものと同じであることを定量的に確認する必要がある。早稲田大学におけるセットアップでは、実際のシリコン飛跡検出器を用いることはできないので、疑似ヒット送信モジュール (QUEST) を用いてシリコン飛跡検出器の ROD のフォーマットで疑似ヒットを生成・送信し、それを Input Mezzanine の入力として動作させ、Data Formatter の Spy Buffer を読み出すことによって実機検証を行った。セットアップを図 5.12 に示す。

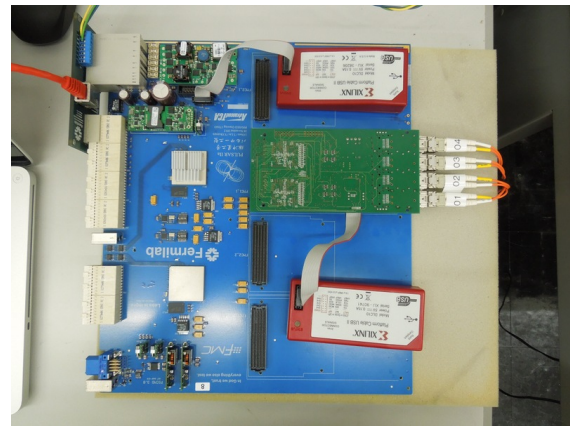


図 5.12 早稲田大学における QUEST - Input Mezzanine - Data Formatter のセットアップ

FMC コネクタを介した Input Mezzanine から Data Formatter への出力が問題なく行えることを確かめるために、Input Mezzanine と Data Formatter の通信に用いる 32 本の LVDS の線を用いて Input Mezzanine の FPGA 内部で生成したパターンデータを 200 MHz の DDR で送信し続けて、Data Formatter の FPGA 内部に用意してあるリファレンスデータと比較するテストを行った。

このテストの結果 Input Mezzanine から  $10^{16}$  ビット転送後も Data Formatter 側のリファレンスと異なるデータを受け取ることがなく通信を行えることが確認できた。これにより ATLAS のエレクトロニクスに対する要請を満たすことができた。

次に、QUEST - Input Mezzanine - Data Formatter のデータフローの試験を行った。

QUEST からは 4 チャンネル分のデータを S-Link によって出力することができ、出力する内容もテキストファイルによって自由に指定することができ、イベントの始まりや終わり、Level 1 ID などのコントロールワードも含めてデータを送ることができ、実際のシリコン飛跡検出器の ROD のフォーマットを想定した試験を行うことができる。

Data Formatter の Spy Buffer は 1 チャンネルあたり 32 ビットワード 1024 行分用意されていて、マイクロコントローラのソフトウェアの実装にもよるが、本テストのセットアップ時には 1 チャンネル分の Spy Buffer を読み出すのにおよそ 1 分要するため、すべてのデータを読み出して確認することはできない。しかし、読み出しに関わるシステムの実装が高速であったとしても実際のトリガーレートである 50kHz や 100kHz といった頻度でイベントごとのデータが送られた場合にはそのすべてを保存することは現実的ではないし、そもそもそれが可能であるならば FTK や Level 2, Event Filter といった後段のトリガーシステムは不要である。

早稲田大学には QUEST は 1 台しか存在しないため、Data Formatter に 4 台の Input Mezzanine を接続した状態で 4 台すべてが 4 チャンネルの S-Link の入力を受け取る環境でのテストは行うことができない。しかし、1 台は 4 チャンネルの S-Link 入力を受け取り、残りの 3 台は FPGA のファームウェアの中でパターンデータを生成して疑似的に QUEST からの S-Link 入力を受け取ったとして動作させることが可能である。したがって、本テストでは 1 台は QUEST からの 4 チャンネルの S-Link 入力を受け取り、残りの 3 台は内部的に生成したパターンデータによるセットアップで行う。パターンデータの生成をファームウェア内部でのデータフロー的にできる限り S-Link 入力の信号を受け取った直後に配置することにより、ヒット情報のクラスター化処理も含めた S-Link 入力部以外の Input Mezzanine のすべての機能をテストすることができる。

このテストの結果、Data Formatter に 4 台の Input Mezzanine を接続し、1 台は QUEST からの S-Link 入力を 4 チャンネル分受け取り、残りの 3 台は S-Link 受信部分でファームウェア内部でパターンデータを生成するというセットアップで、12 時間の動作後も Data Formatter の Spy Buffer ではエラーが無いことが確認できた。これにより、CERN における実際のシリコン飛跡検出器の ROD を用いたテストにおいても想定される範囲内では正しい動作が期待される。

## 5.6 CERN でのシステム統合試験

早稲田大学における Input Mezzanine の動作検証に続き、CERN において Data Formatter やシリコン飛跡検出器の ROD を用いたシステム統合試験を行った。早稲田大学

において行っていた動作検証とは異なり、疑似ヒット送信モジュールではなく、実際のシリコン飛跡検出器の ROD からヒット情報を受けて、ヒット情報のクラスター化を行って Data Formatter へ出力し、Data Formatter から ROS へと正しくデータが伝達されるかどうかを確認する。

### **QUEST - Input Mezzanine - Data Formatter のデータフロー**

はじめに、CERN Lab 4 においてセットアップされている QUEST を用いて早稲田大学において行っていた QUEST - Input Mezzanine - Data Formatter のデータフローが正しく再現できるかを確認した。Data Formatter の Spy Buffer による読み出しでは早稲田大学から CERN までの輸送も含めて早稲田大学における動作試験と同様にデータフローに問題がないことが確認できた。

### **SCT ROD - Input Mezzanine - Data Formatter のデータフロー**

次に、CERN SR 1 において実際の SCT 検出器の ROD を用いて ROD - Input Mezzanine - Data Formatter のデータフローを確認した。

SCT ROD は設定によってシミュレーションデータを出力することができる。このテストにおいては SCT ROD からテスト用のシミュレーションデータを出力し、それを ROD に取り付けられた Dual Output HOLA により FTK 用と ROS 用に S-Link によって送信する。FTK 用の出力は Input Mezzanine の入力となり、ヒット情報のクラスター化の後 Data Formatter へと出力され、Spy Buffer によりこの情報を読み出す。また、Dual Output HOLA により ROS へ出力されたデータは十分低速であれば ROS のコンピュータにある程度の量を保存することができ、ROS コンピュータに保存された ROD データから予測される Input Mezzanine の出力データと Data Formatter の Spy Buffer 読み出しの結果を比べることで、Data Formatter の Spy Buffer で読み出せる範囲では問題が無いことを確認できる。前述のように、このテスト時の Data Formatter の Spy Buffer 読み出しには 32 ビットワード 1024 行分で約 1 分かかるため、20Hz 程度のトリガーレートで ROD からテストデータを出力した場合でも約 0.5% 程度しか Spy Buffer の読み出しでは確認することはできない。この条件によるテストの結果、20Hz のトリガーレートで ROD からテストデータを出力した場合、40000 イベント出力後の 200 イベントを Data Formatter の Spy Buffer と ROS の保存データから予想される Input Mezzanine の出力を比較したところエラーが無いことが確認できた。

この結果から、実際の SCT ROD のデータを Input Mezzanine の入力とした場合においても S-Link 受信部やクラスター化の処理、Data Formatter との通信が問題なく行える

ことがわかった。

### SCT ROD - Input Mezzanine - Data Formatter + RTM - ROS のデータフロー

上述のテストに引き続き、Data Formatter が ATCA シェルフに搭載されるときに Data Formatter の背面に接続される Rear Transition Module (RTM) を用いたデータフローを含めたテストも行った。このテストでは、SCT ROD のヒット情報を Input Mezzanine で受信、クラスター化の後に Data Formatter に出力する部分までは同じであるが、その後 Data Formatter 内部で Input Mezzanine から受信した FTK フォーマットのデータを再度 ROD フォーマットに戻して RTM から S-Link によって ROS へ送信する。このときの Data Formatter は、FTK のすべてのデータフローの中での FLIC (FTK to Level 2 Interface Crate) と似たような役割をしている。すなわち、Input Mezzanine と Data Formatter のみではあるが、これらだけで検出器のヒット情報を受け取り Level 2 以降へと出力するデータフローを構成しており最も単純な FTK システムといえる。このセットアップを図 5.13 に示す。

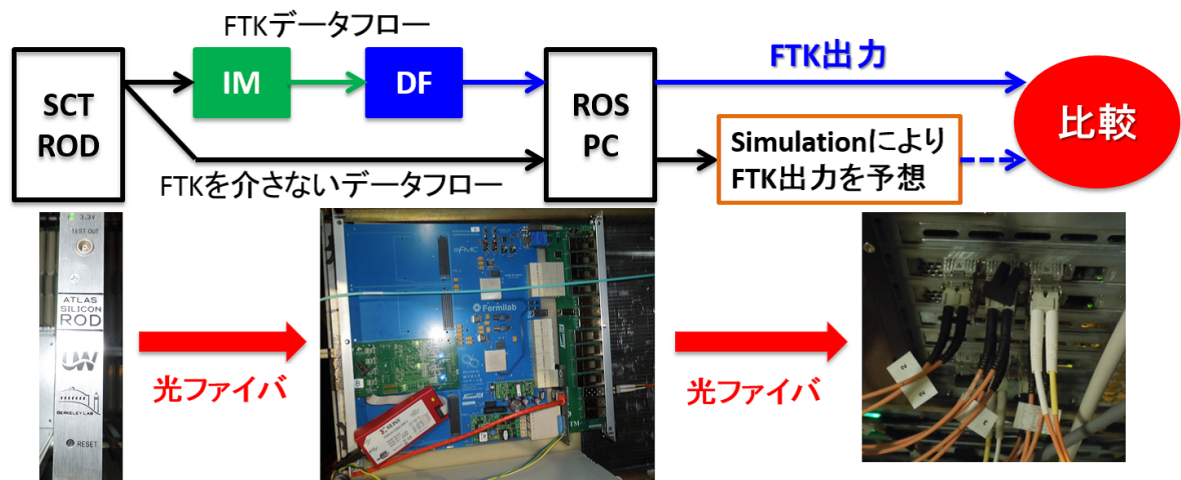


図 5.13 CERN SR1 におけるテストのセットアップ

このテストの結果、4 kHz のトリガーレートで SCT ROD - Input Mezzanine - Data Formatter + RTM - ROS のデータフローが正常に動作することを確認できた。



## 6 まとめと展望

ATLAS 増強計画の一つとして 2015 年に挿入される FTK で使用予定の受信モジュール最終版を設計・製作した。

また、完成した受信モジュールに対して、早稲田大学における動作検証と CERN におけるシステム統合試験を行った。早稲田大学における動作検証の結果、FMC コネクタを介して、Input Mezzanine から Data Formatter へ  $10^{16}$  ビット転送後もエラーが無いことが確認され、ATLAS のエレクトロニクスに対する要請を満たすことができた。また、疑似ヒット送信モジュール (QUEST) から SCT 検出器の疑似ヒットデータを S-Link を介して送信し、それを入力とした場合においても QUEST - Input Mezzanine - Data Formatter のデータフローや Input Mezzanine におけるクラスター化の処理が 65 kHz の入力レートにおいても正しく動作した。これにより、最終版の Input Mezzanine はテスト用プロトタイプと同様の性能を示し、その設計を正しく行うことができたと言える。

また、CERN におけるシステム統合試験の結果、実際の SCT 検出器の読み出しモジュール (SCT ROD) からヒット情報を受信してクラスター化の処理を行って Data Formatter に出力するデータフローが正しく動作した。さらに ROS への出力も含めた「最小の FTK」としての動作もトリガーレート 4 kHz まで確認することができた。これは FTK ハードウェアが Dual Output HOLA, Input Mezzanine, Data Formatter までのデータフローで、ROD, ROS を含めて初めて正しく動作した瞬間であり、FTK 挿入に向けた重要なステップであると言える。

本研究によって FTK Input Mezzanine の開発をひと通り完了することができた。また、早稲田大学におけるテストスタンドや試験の環境を整えることができ、今後の量産・品質管理を行うための準備もできた。

## 7 謝辞

本研究の機会を与えてくださり、また学部4年生の時から3年間常に熱心にご指導くださった寄田浩平准教授に深く感謝いたします。寄田研究室の3年間で私は人間として大きく成長できたと感じています。本当にありがとうございました。

木村直樹助教にも大変感謝しています。普段から研究に限らず様々な話題で気軽に相談に乗っていただいたり、食事に誘っていただいたり、つらい時も明るく過ごすことができました。また、3回の海外出張では毎回私をサポートしてくださり、車の運転をしていただいたり、外国人との会話を助けていただいたり、他にも大変お世話になりました。

また、田中雅士次席研究員にも感謝しております。ANKOK グループの議論でお忙しいにもかかわらず、私の研究について常に非常に論理的で冷静なご指摘をいただきました。私が本研究でこの受信モジュールを作り上げたことを田中さんに評価していただけたことが密かにうれしかったです。

坂本敦子秘書にも感謝しております。本研究に関係するものだけでも非常に多くの発注や事務手続きがありましたが、それらがすべてスムーズに運んだのも坂本さんのおかげです。私の発注の手続きに何度も不備があつて大変ご迷惑をおかけしたと思いますが、嫌な顔一つせずに常に迅速かつ正確に処理をされていて、本当にお世話になりました。

私は本研究で FTK Input Mezzanine という一つのものを作り上げましたがこれは私一人だけでできることではなく、その過程では多くの方々に助けられてきました。イタリア INFN Frascati にて受信モジュールのテスト用プロトタイプを設計した Maurizio Gatta 氏、Matteo Beretta 氏にはハードウェア開発をするには本当に素人な私に非常に親切・丁寧な様々な知識を教えてくださいました。また、米国 Fermilab においては、FTK Data Formatter を設計した Jamieson Olsen 氏にお世話になりました。私の拙い英語にも非常に優しく対応してくださり、最終版設計にあたって正確な議論ができました。私が人生で初めて設計した Input Mezzanine のプロトタイプについて「10 層基板でこれだけつめたのなら大したものだ」と言ってくださったことを覚えています。Maurizio Gatta 氏、Jamieson Olsen 氏とも PCB 設計についてはハードウェアのエキスパートであり、私のような素人からすれば本当に尊敬すべき方々なのですが、私が「この線を引くのがつらい」といった話をすると両氏とも言葉の壁を越えて共感していたのが私の中では非常に強く記憶に残っています。

シカゴ大学の奥村泰幸氏にも感謝しております。米国 Fermilab 滞在時と CERN でのシステム統合試験の際に2回もお世話になりました。常に元気にフレンドリーに接してく

ださり、そのおかげで Input Mezzanine と Data Formatter は密に連携しながら開発を進めてくれたと思います。FTK の受信部分を構成する 2 つのモジュールが共に日本人の手によって開発されているという事実が非常に不思議でした。

常に世界中での FTK の開発を牽引しておられる Alberto Annovi 氏にも感謝しております。Input Mezzanine の設計・開発を私に任せてくださり、ミーティングにおいては様々な助言を頂きました。CERN では実際にお会いして、システム統合試験においては検出器側のセットアップ時や試験のセットアップの際にも現地のエキスパートと積極的にコミュニケーションをとり非常に熱心に進めていく姿勢が印象的でした。2 週間弱一緒に仕事事ができたことが一生の思い出です。

また、基板製作・部品実装では株式会社コートクにお世話になりました。私の基板設計の問題点を実際の製作前にご指摘頂いたり、プロトタイプで問題があった時も相談に乗っていただいたりしました。期限に追われながら何度もお電話したことも思い出です。

同期の岡本飛鳥君、昌子貴洋君、橋場裕之介君にも感謝しています。特に昌子君には、研究が忙しく自宅に帰れないような時に、図々しくも何度も家に泊めてもらいました。

博士の先輩方にも感謝しています。4 年生の時から研究に対する姿勢や自分で考えるだけではなく他の人との議論の大切さを教えて頂きました。また、特に ATLAS グループとして三谷さん、桜井さん、飯澤さんには学会に行ったときや CERN 滞在時にもお世話になりました。私も CERN に行けるような研究をしているのだなと実感しました。修士 1 年、学部 4 年の後輩にも感謝しています。一緒に食事に行ったり、研究やそれ以外のことで話したり学会に行ったり楽しく過ごすことができました。また、修士 1 年の白神賢君には Input Mezzanine の動作検証で大変お世話になりました。CERN でのシステム統合試験の直前まで協力してくれたことに感謝します。来年度からは早稲田側の FTK ハードウェアの中心的存在として頑張ってくれることを期待しています。

Input Mezzanine の開発という重要な仕事を任せられ、寄田研究室でこれほどエキサイティングな経験ができて本当に幸せであったと思います。私は高等学院出身なため、早稲田とは高校時代からの縁なのですが、正直なところこの研究をするまでは何一つ早稲田に入って良かったと思う瞬間がありませんでした。私は来年度から産業界に出ることになり、直接は物理学の基礎研究に関わることはなくなりますが、このような最先端の現場で活躍する機会に恵まれて、物理学を志して良かったと思っています。

最後に、私が今まで学業を続けることを支え続けてくれた両親、妹に感謝いたします。

## 付録 A I<sup>2</sup>C バスのプロトコル

I<sup>2</sup>C バスは Inter-Integrated Circuit (IIC, I<sup>2</sup>C) の略であり、正式にはアイ・スクエアド・シーと発音する。1980 年台にフィリップス社により開発された低速なシリアルバスである。

最大の特徴は図 5.4 に示すように SCL, SDA という 2 本の信号線のみで最大 112 個のノード（7 ビットアドレス使用時）が同じバス上で通信できるという点である。Input Mezzanine と Data Formatter の間の通信においても、FMC コネクタを利用した配線の本数に限りがあるため、I<sup>2</sup>C バスによる接続は少ない配線の本数で複数のデバイスにアクセスできて便利である。

SCL, SDA の信号線はともに 5 V や 3.3 V といった正論理の電圧までプルアップ抵抗によりプルアップされる。したがって、バスに信号が流れていない状態ではどちらの信号線とも High の状態になる。標準的な規格ではデータレートは 100 kbit/s である。Fast-mode では 400 kbit/s であり、Fast-mode Plus で 1 Mbit/s、High-speed mode では最大 3.4 Mbit/s である。

また、SDA を流れるデータの信号は SCL のクロック信号が High の間は必ず stable な状態でなければならない。また、SDA の High と Low の変化は SCL のクロック信号が Low のときにのみ許される。この様子を図 A.1 に示す。

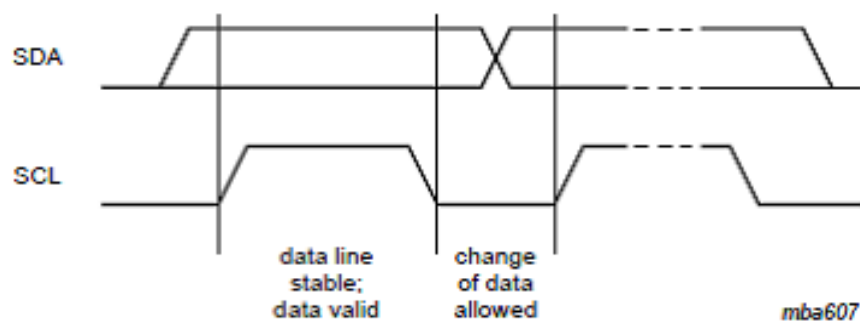


図 A.1 I<sup>2</sup>C バスにおけるデータビットの転送 [11]

I<sup>2</sup>C バスによるすべての通信は START condition により開始され、STOP condition によって終了する。START/STOP condition における信号の振る舞いを図 A.2 に示す。START/STOP condition とも SCL のクロック信号が変化せずに HIGH であるとき（通常は SDA は変化してはいけない状態）に SDA のデータが変化することをトリガーにし

ている。SDA が High から Low へと変化するときを START condition, Low から High へと変化するときを STOP condition として定義している。

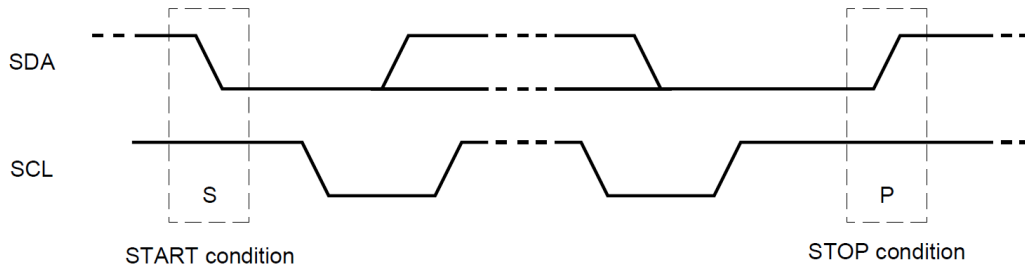


図 A.2 I<sup>2</sup>C バスにおける START/STOP condition[11]

START/STOP condition はバスのマスターにより発行される。START condition 後はバスは busy であるとみなされ、STOP condition 後に free になる。

また、連続して通信を行う際には STOP の代わりに再度 START condition を発行することで repeated START condition として STOP して再度 START することなくさらに通信を続けることができる。

I<sup>2</sup>C バスによる通信は 8 ビット単位で行われる。そして、各 8 ビット単位の通信の終わりには Acknowledge bit (ACK) のやりとりを行うことが規格で定められている。8 ビットデータは最上位ビット (Most Significant Bit; MSB) から順番に送られる。データ通信における SCL, SDA の信号線の振る舞いを図 A.3 に示す。

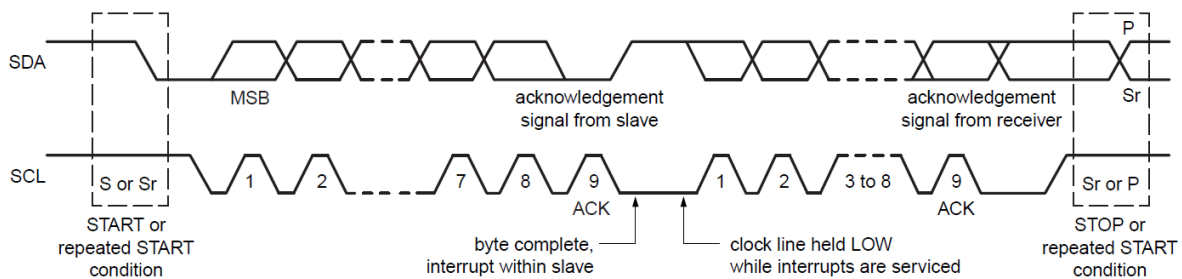


図 A.3 I<sup>2</sup>C バスにおけるデータ通信 [11]

ACK は各 8 ビット単位の通信後に必ず扱われる。受信側から ACK が送信側に送られると、そのときに行われた通信が無事に成功し、次の 8 ビットデータを受け取る準備ができたことを意味する。また、データ通信時の SCL のクロック信号はすべてマスター側が生成するもので、ACK も含めると 9 クロックで 1 回の通信が行われることになる。

ACK 信号は次のような手順で発行される。送信側が ACK のクロックの間 SDA の信

号線を放す。信号線にはプルアップがあるため、ACK の間 SDA は High になる。受信側が SDA を Low に下げて、SCL のクロック信号が High の間 SDA を Low に保つ。この一連の動作が ACK 信号を意味する。

また、ACK の他に Not Acknowledge (NACK) 信号もある。これは ACK の Not であるため、ACK のクロックの間に SDA が High の状態にあることで表現される。この NACK 信号の後、マスターは STOP condition を発行して通信を終了したり、repeated START condition を発行してさらに通信を続けることができる。

SCL と SDA の組み合わせによるバスの動作は以上のように行われる。信号の内容としては、バスに接続されている一つ一つのデバイスを指定するためのアドレスと、実際に送受信するデータがある。アドレスには 7 ビットアドレスと 10 ビットアドレスの 2 通りの振り方がある。Input Mezzanine と Data Formatter 間の通信には 7 ビットアドレス方式を用いている。実際の通信では、7 ビットのアドレスと Read/Write ビット (R/ $\overline{W}$  bit) を合わせた 8 ビットの形式のデータを送った後に、送りたいデータを 8 ビットデータとして送る。ここで、Read/Write ビットは 1 が Read を、0 が Write であることを示す (W に上線がついているのは Write が負論理であることを示している)。この流れを図 A.4 に示す。また 7 ビットアドレスと Read/Write ビットを合わせた 8 ビットデータの構成を図 A.5 に示す。

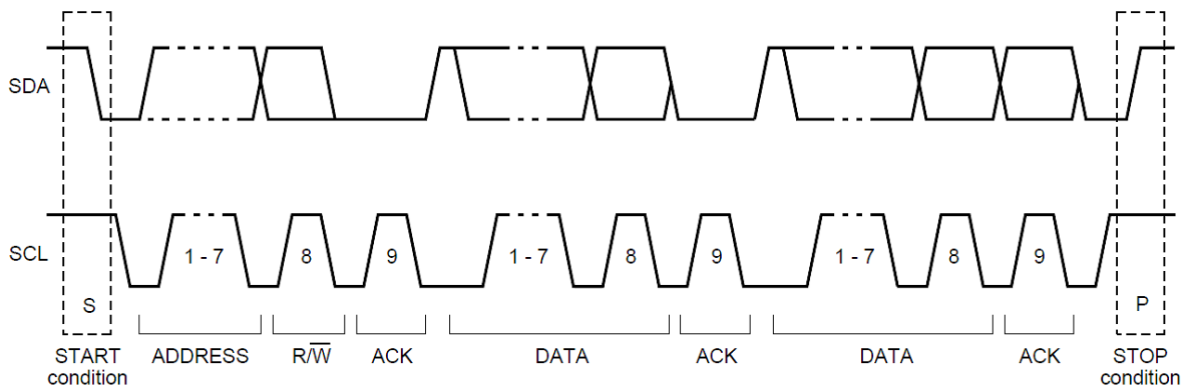
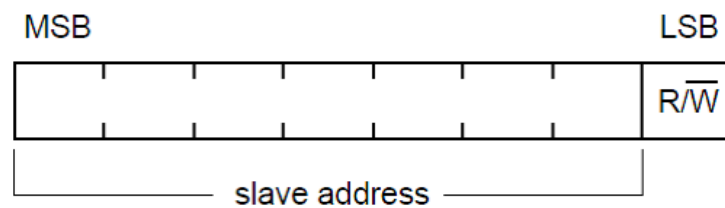


図 A.4 I<sup>2</sup>C バスにおける通信の流れ [11]

このように 8 ビットのデータを送るためには、基本的には START condition を発行し、7 ビットアドレスと Read/Write ビットを送り、受信側からの ACK を確認した後、8 ビットデータを送り（または受信し）、ACK を確認し、… というように通信が行われて、最終的に STOP condition により通信が終了する。

Input Mezzanine と Data Formatter の間の通信では、データは 8 ビット単位であると



図 A.5 I<sup>2</sup>C バスにおける 7 ビットアドレスと Read/Write ビットの構成 [11]

は限らず、多くのデータが 32 ビットであるため、このような基本的な 8 ビット単位の通信を何度も繰り返してデータの送受信を行う必要がある。そのため、32 ビットデータの送受信の間は 8 ビットデータを送信するのか受信するのかという方向が変わることが無いので、初めにアドレスと Read/Write ビットを送った後は、ACK を利用してデータを連続的に扱うようにしている。

Pixel/SCT のクラスター化の際に用いる module lookup table の書き込みなどはある程度の量の 32 ビットデータを Data Formatter から Input Mezzanine に送る必要があるため、データの送受信に必要な transaction を可能な限り無くして、少しでも高速に通信ができるように工夫する必要がある。

## 参考文献

- [1] 長島順清, 『素粒子物理学の基礎 I・II』, 朝倉書店, 1998.
- [2] Francis Halzen, Alan D. Martin, “QUARKS AND LEPTONS: An Introductory Course in Modern Particle Physics”, John Wiley and Sons, 1984.
- [3] Franz Mandl, Graham Shaw, “QUANTUM FIELD THEORY”, Wiley, 2010.
- [4] Michael E. Peskin, Daniel V. Schroeder, “An Introduction to Quantum Field Theory”, Westview Press, 1995.
- [5] ATLAS Collaboration, “The ATLAS Experiment at the CERN Large Hadron Collider”, 2008.
- [6] ATLAS Collaboration, “Technical Design Report Fast TracKer (FTK)”, ATLAS-TDR-021, 2013.
- [7] Calliope-Louisa Sotiropoulou, *et al*, “A Multi-Core FPGA-based Clustering Algorithm for Real-Time Image Processing”, ATL-DAQ-PROC-2013-037, 2013.
- [8] Jamieson Olsen, Tiehui Ted Liu, Yasuyuki Okumura, “Data Formatter Design Specification”, Fermilab-TM-2553-E-PPD, 2013.
- [9] HOLA High-speed Optical Link for Atlas,  
<http://hsi.web.cern.ch/hsi/s-link/devices/hola/>
- [10] 木村直樹, 「ATLAS 実験における高速トラッキングトリガーシステムの開発状況」, 日本物理学会 2012 年秋季大会.
- [11] NXP, “I<sup>2</sup>C-bus specification and user manual”, UM10204, 2012.
- [12] Texas Instruments, “LVDS Owner’s Manual”, 2008.
- [13] Agilent Technologies, “FPGA のデザインに適した I/O アーキテクチャの選択”, Application Note 1500, 2005.
- [14] ALTERA, “Constraining and Analyzing Source-Synchronous Interfaces”, AN433, 2013.
- [15] Xilinx, “Spartan-6 FPGA Packaging and Pinouts”, UG385, 2011.  
[http://www.xilinx.com/support/documentation/user\\_guides/ug385.pdf](http://www.xilinx.com/support/documentation/user_guides/ug385.pdf)
- [16] Xilinx, KC705 Evaluation Board for the Kintex-7 FPGA User Guide UG810  
[http://www.xilinx.com/support/documentation/boards\\_and\\_kits/kc705/ug810\\_KC705\\_Eval\\_Bd.pdf](http://www.xilinx.com/support/documentation/boards_and_kits/kc705/ug810_KC705_Eval_Bd.pdf)
- [17] <http://www.fpgadeveloper.com/2011/06/fpga-mezzanine-card-fmc-game-changer>.

[html](#)

[18] <http://www.atlas.ch/photos/detector-site-surface.html>

[19] Design Wave Magazine 2002 April

<http://www.cqpub.co.jp/dwm/contents/0053/dwm005300950.pdf>

[20] CERN LHC Guide

<http://cds.cern.ch/record/1165534/files/CERN-Brochure-2009-003-Eng.pdf>

[21] <http://www.hep.lu.se/atlas/thesis/egede/thesis-node39.html>

[22] [http://inspirehep.net/record/1103034/files/figures\\_Experiment\\_TrigLevels.png](http://inspirehep.net/record/1103034/files/figures_Experiment_TrigLevels.png)